

Università degli Studi di Roma “Tor Vergata”

Facoltà di Ingegneria
Dipartimento di Ingegneria Elettronica
Corso di dottorato in “Sistemi e Tecnologie per lo Spazio”

**Studio e realizzazione di elettronica
resistente a radiazione ionizzante per il
controllo e la calibrazione del rivelatore
di muoni dell'esperimento LHCb.**

Francesco Iacoangeli

Relatore:

Prof. Gian Carlo Cardarilli

Co-relatore:

Dr. Valerio Bocci



Ai miei genitori

INTRODUZIONE.....	7
1. LHC	12
2. L'ESPERIMENTO LHCB.....	16
2.1. La fisica di LHCb	16
2.1.1. <i>Violazione di CP nei decadimenti dei mesoni B.</i>	16
2.2. Esempi di decadimento dei mesoni B.....	20
2.3. Vantaggi della fisica di LHCb	22
2.4. Struttura del rivelatore.....	24
2.4.1. <i>Il trigger</i>	30
2.4.2. <i>Il tagging</i>	31
3. IL RIVELATORE DI MUONI.....	35
3.1. Tecnologia del sistema di rivelazione per i muoni.....	41
3.2. Come avviene il trigger di livello zero	46
4. L'AMBIENTE RADIOATTIVO DEL RIVELATORE LHCB E L'AMBIENTE SPAZIALE.	49
4.1. L'ambiente Spaziale.....	50
4.2. L'ambiente del rivelatore LHCb.....	56
4.3. Scambio di tecnologie.....	63
5. L'ELETTRONICA DEL RIVELATORE DI MUONI.	65
5.1. L'elettronica di Front-End	68
5.2. Le Intermediate-Board (IB).	72
5.3. Le schede ODE(Off Detector Electronics).....	73
5.4. L'ECS.....	76
6. IL "SERVICES BOARDS SYSTEM"	80
6.1. La Services Board	83
6.1.1. <i>L'ELMB</i>	88
6.1.2. <i>SPI FLASH ROM</i>	93
6.1.3. <i>I/O REGISTERS</i>	94
6.1.4. <i>Transmitters e Receivers TTL/LVDS</i>	94
6.1.5. <i>L'EEPROM</i>	95
6.1.6. <i>FPGA</i>	95

6.1.7. Protocollo I^2C -like LVDS	98
6.2. Il Pulse Distribution Module	99
6.2.1. Procedura veloce di allineamento temporale	103
6.2.2. L'FPGA	106
7. TEST E QUALIFICAZIONE DELL'ELETTRONICA DEL SERVICES BOARDS SYSTEM.....	109
7.1. L'ELMB.....	109
7.2. SPI FLASH ROM Atmel AT45DB041B.....	115
7.3. I/O REGISTERS Philips PCF8575.....	116
7.4. Transmitters e Receivers TTL/LVDS.....	116
7.5. Qualificazione dell'EEPROM Microchip 24LC00 e dei regolatori di tensione.	117
7.5.1. Test dell'EEPROM	117
7.5.2. Test dei due regolatori.....	121
7.6. Test comparativo di tolleranza alle radiazioni tra FPGA Actel.....	128
7.6.1. Implementazione di logica in tripla ridondanza nelle FPGAs della famiglia Actel ProAsic ^{PLUS}	140
8. ANALISI DELLE POSSIBILITÀ DI UTILIZZO DELLA TECNOLOGIA ACTEL PROASIC^{PLUS} IN APPLICAZIONI PER LO SPAZIO E PER LA FISICA DELLE ALTE ENERGIE.	142
8.1. L'elemento di programmazione (SWITCH)	143
8.2. L'Architettura	147
8.3. Risultati dei test.	151
8.3.1. Effetti da dose totale	151
8.3.2. Single Event Upset (SEU).....	152
8.3.3. Single Event Latch-up (SEL)	154
9. REFERENZE	156

INTRODUZIONE

Dalle origini della meccanica quantistica, all'inizio del ventesimo secolo, fino ad oggi sono stati fatti molti progressi nell'ambito della ricerca dei componenti fondamentali della materia e nello studio delle forze che la governano attraverso lo studio delle particelle elementari. I continui progressi in quest'ambito sono culminati nella costruzione della teoria nota con il nome di Modello Standard.

Dalla proposta di tale modello teorico sono stati realizzati moltissimi esperimenti mirati a dimostrare la sua validità, ottenendo risultati in stupefacente accordo con le previsioni del Modello Standard: tutte le particelle previste sono state osservate tranne il neutrino e il bosone di Higgs, quest'ultimo a causa dell'alta energia che lo caratterizza.

Presso il Centro Europeo per la Ricerca Nucleare (CERN) di Ginevra è attualmente nella fase finale di realizzazione il Large Hadron Collider (LHC), un enorme collisore di protoni che permetterà di raggiungere l'energia di 14TeV (7+7TeV) nel centro di massa alla luminosità di 10^{34} cm⁻²/s che permetterà di esplorare nuovi confini della fisica delle alte energie.

Grazie alla sua grande luminosità sarà possibile disporre di un'alta statistica permetterà di studiare decadimenti rari, come quelli dei bosoni B, particelle con sezione d'urto estremamente elevata, come il bosone di Higgs, e, in generale, di esplorare nuovi confini della fisica delle alte energie alla ricerca di nuova fisica, che violi la simmetria del Modello Standard.

L'esperimento LHCb (Large Hadron Collider Beauty experiment) è uno dei quattro esperimenti in fase di installazione nei punti dove i due fasci di protoni di LHC si incrociano. Esso si propone di verificare la consistenza del Modello Standard attraverso lo studio della violazione di CP (Carica-Parità) nei decadimenti rari dei Mesoni B ($b\bar{b}$) e, eventualmente, identificare linee di sviluppo di *nuova fisica*.

Lo studio di tali decadimenti rari è reso possibile soltanto dall'alta statistica fornita da LHC per la produzione di coppie $b\bar{b}$: la grande sezione d'urto relativa

di cui LHCb dispone ($\frac{\sigma_{b\bar{b}}}{\sigma_{anelastica}} \approx 0.01, \sigma_{b\bar{b}} \approx 500mb$) fornisce, alla luminosità nominale dell'esperimento ($\sim 2 \times 10^{32} \text{ cm}^{-2}/\text{s}$) fornirà circa 10^{12} coppie in un anno di presa dati ($\sim 10^7/\text{s}$). L'apparato sperimentale di LHCb è costituito da una serie di rivelatori (un rivelatore di vertice, un sistema di tracciamento, due rivelatori RICH per l'identificazione di particelle, due calorimetri ed un rivelatore per muoni) posti a cascata lungo la traiettoria delle particelle di interesse.

Un'attenzione particolare è attribuita al rivelatore di muoni, presenti negli stati finali di molti decadimenti dei mesoni B interessati dalla violazione di CP, come ad esempio l'importante canale di decadimento $B_d^0 \rightarrow J/\psi K_s$ con produzione delle coppie e^+e^- e $\mu^+\mu^-$, detto *gold plated* per l'assenza di fattori correttivi della QCD (Quantum Cromo Dinamica). Inoltre, l'identificazione dei muoni derivati dai decadimenti semileptonici dei mesoni B permette il tagging del sapore iniziale dei mesoni. Rivelare i muoni e misurare il loro alto impulso trasverso è quindi un requisito fondamentale dell'apparato di rivelazione di LHCb dettato dalla fisica che l'esperimento si propone di indagare.

Il rivelatore di muoni di LHC è composto essenzialmente da 5 stazioni di rivelazioni M1-M5 e assolve un compito fondamentale nell'esperimento permettendo il trigger di livello 0 e l'identificazione dei muoni. Inoltre permette di filtrare il fondo di particelle a bassa energia ($< 5\text{GeV}$), grazie alla presenza di schermi di ferro tra una stazione e la successiva. Le cinque stazioni hanno caratteristiche diverse dovute all'attenuazione subita dal fascio man mano che ci si allontana dal punto d'intersezione: la parte centrale della prima stazione (M1), non schermata e importante per la misura del momento trasverso, è composta di rivelatori a tripla GEM (Gas Electron Multiplier) mentre il resto di M1 e le altre stazioni sono composte da rivelatori MWPC (Multi Wire Proportional Chambers) a due gap con granularità dei canali di lettura diversa a seconda della distanza dal punto di intersezione. Tale apparato fornisce, nel suo complesso, 156000 canali di lettura.

L'alto numero di canali fisici e il conseguente enorme flusso di dati prodotti dalle camere del rivelatore di muoni, necessita, più che in altri esperimenti, di riorganizzare i canali di lettura sul rivelatore stesso e nelle sue immediate

vicinanze (nella caverna dove è sito), in modo da ridurre in maniera consistente la complessità e i costi dell'apparato di acquisizione dati.

L'alta energia dei fasci di protoni di LHC e il gran numero di particelle prodotte fa sì che l'elettronica necessaria a questo scopo lavori in ambienti esposti a radiazione ionizzante. Nei 10 anni previsti di funzionamento dell'apparato si prevede che l'elettronica montata sul detector sarà esposta ad una quantità di radiazioni ionizzanti da 10Krad a 1Mrad, mentre quella situata nella caverna intorno ai 10Krad. Questo comporta, similmente a quanto avviene per l'elettronica dei rivelatori d'esperimenti spaziali, l'utilizzo di tecnologie rad-hard, rad-tolerant o in ogni modo la caratterizzazione dei componenti usati per il funzionamento in presenza di particelle ionizzanti.

Durante la mia tesi di dottorato ho lavorato a diversi aspetti dell'elettronica del rivelatore di muoni dell'esperimento LHCb. In particolare ho contribuito alla realizzazione del sistema di monitor e controllo (ECS) del rivelatore per i muoni composto essenzialmente da due tipi di moduli: la Services Board (SB) e il Pulse Distribution Module.

Le Services Board, poste nella caverna affianco al rivelatore, permettono il monitor e il controllo dell'elettronica di Front-End attraverso un certo numero di bus I²C LVDS esterni che collegano i due apparati. Esse hanno anche il compito di monitorare la consistenza dei registri delle schede di Front-End e provvedere al loro ripristino in caso d'errore. Ho contribuito alla realizzazione di tale modulo cooperando sia alla sua progettazione che all'effettiva produzione. In quest'ambito ho caratterizzato alcuni dei suoi componenti all'utilizzo in ambienti rad-tolerant e curato la sostituzione dell'FPGA antifuse precedentemente utilizzata, con una in tecnologia Flash, studiandone le possibilità di utilizzo in ambienti esposti a radiazione ionizzante.

Il Pulse Distribution Module, posto nello stesso crate delle Services Board, distribuisce il clock macchina di LHC e i segnali di sincronizzazione a tutto il crate dell'ECS e al Front-End. Esso è il modulo nevralgico delle comunicazioni essendo il punto di ingresso di tutti i segnali di sincronizzazione e di comunicazione fra l'ECS e l'esterno. Cooperando fino dalle prime fasi della progettazione di questo modulo ho realizzato molte delle sue funzionalità in

accordo con le esigenze dell'esperimento proponendone un valido utilizzo in fase di calibrazione dell'apparato. Nel corso del lavoro sono state adottate, similmente a quanto fatto per le Services Board, alcune strategie atte a garantirne il funzionamento nell'ambiente in cui è destinato ad operare.

Molte delle tecnologie e delle metodologie usate durante i miei studi possono trovare applicazione negli esperimenti spaziali. Anzi, la tipologia e la varietà delle particelle ionizzanti prodotte e la facilità di test dell'elettronica in esperimenti terrestri di fisica delle alte energie fanno, di tali esperimenti, un ottimo ambito dove sviluppare e affinare tecnologie utilizzabili nei rivelatori per lo spazio.

Nei primi due capitoli si descrive brevemente il collisore di protoni LHC (Large Hadron Collider), in realizzazione al CERN, dove verrà effettuato l'esperimento, evidenziandone le proprietà fisiche dei fasci di particelle prodotti e come queste vengono sfruttate dal rivelatore di LHCb. Si descrive, inoltre, brevemente la struttura del rivelatore monobraccio, le sue caratteristiche e le tecnologie usate per i numerosi rivelatori che studiano le tracce lasciate dal passaggio di particelle ionizzanti, in particolare di muoni ad alta energia.

Nel terzo capitolo viene introdotto il rivelatore di muoni, la sua architettura e i processi di acquisizione dati.

Nel quarto viene mostrato il particolare ambiente in cui l'elettronica dell'esperimento dovrà operare e ne viene analizzato il livello di radiazione ionizzante nelle varie zone del rivelatore e della caverna dove è situato, confrontandolo, sotto questo aspetto, con l'ambiente spaziale.

Nel quinto l'attenzione viene rivolta all'elettronica di lettura del rivelatore di muoni dell'esperimento LHCb e alla sua elettronica di controllo, analizzando i requisiti principali che deve soddisfare in quanto a prestazioni, costi e tolleranza alle radiazioni ionizzanti.

Il sesto capitolo descrive in maniera più particolareggiata architettura, tecnologia e standard dell'elettronica studiata e sviluppata durante il mio dottorato ed è descritta la procedura d'allineamento temporale del sistema utilizzando il "Services Boards System".

Il settimo capitolo descrive e analizza i risultati dei test di qualificazione effettuati sull'elettronica precedentemente descritta, caratterizzandone il comportamento in ambienti esposti a radiazione ionizzante e discutendone, dove interessante, le possibilità di utilizzo in ambiente spaziale. Particolare attenzione viene data alla caratterizzazione all'utilizzo nell'esperimento di FPGA in tecnologia Flash 0,22 μ m, confrontandola con FPGA in tecnologia "antifuse"

Nell'ottavo capitolo, infine, viene analizzato il possibile impiego di FPGA in tecnologia Flash 0,22 μ m della famiglia Actel ProAsic^{PLUS} in applicazioni spaziali e nella fisica delle alte energie.

1. LHC

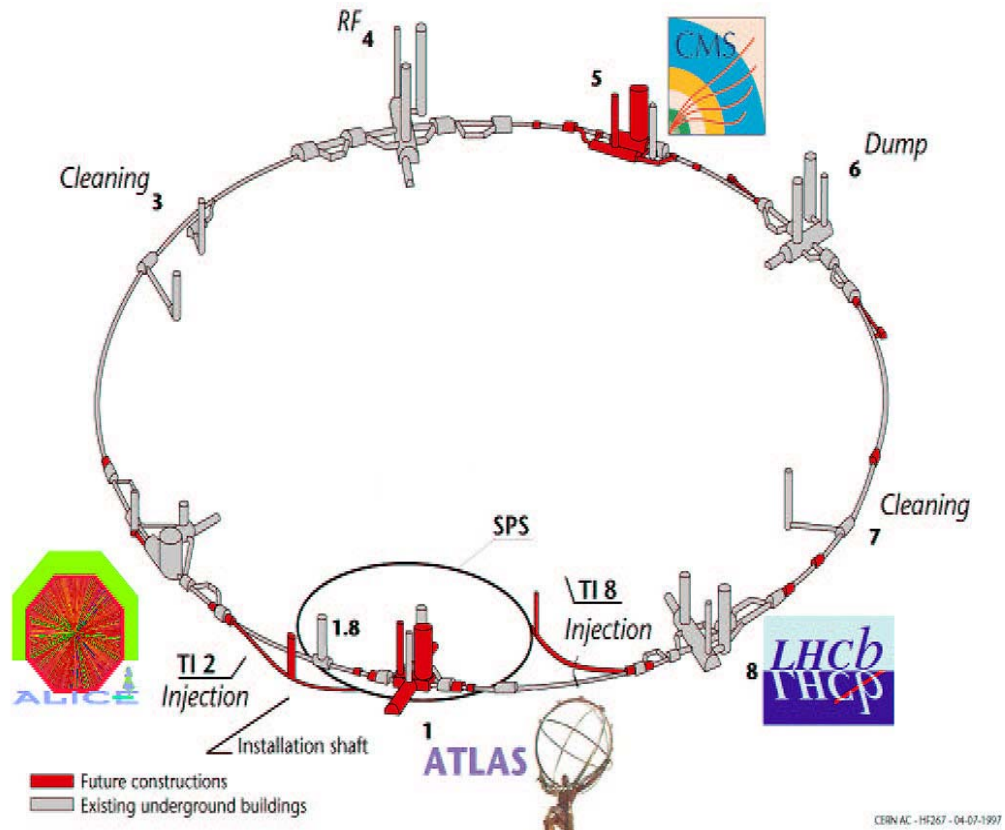


Figura 1.1: LHC

LHC (Large Hadron Collider) è un grande collisore di protoni, formato da due anelli circolari in cui viaggiano i fasci, situato al CERN nel tunnel circolare di 8,4 km di diametro che ospitava il LEP, che sarà completato nel 2007.

Le principali caratteristiche di LHC sono riportate nella tabella sottostante (Tabella 1.1) insieme a quelle del Tevatron [1], il collisore protoni-antiprotoni del Fermilab [2], già in funzione da diversi anni.

	LHC	Tevatron
particelle collidenti	pp	$p\bar{p}$
energia nel CM	14 TeV	2 TeV
luminosità	$10^{34} \text{cm}^{-2} \text{s}^{-1}$	$2 \times 10^{32} \text{cm}^{-2} \text{s}^{-1}$
tempo tra 2 collisioni	25 ns	132 ns
circonferenza	26.7 km	6.28 km
sez. d'urto anelastica	80 mb	50 mb
sez. d'urto bb	$500 \mu\text{b}$	$100 \mu\text{b}$
rapporto $bb/\text{anelastica}$	6×10^{-3}	2×10^{-3}

Tabella 1.1: principali caratteristiche di LHC e di Tevatron.

Per raggiungere un'alta energia nel centro di massa ($\sqrt{s} = 14 \text{ TeV}$) si utilizza lo stesso apparato d'iniezione usato per il LEP: i protoni vengono prima accelerati tramite il Protosincrotrone e il Superprotosincrotrone fino ad un'energia di 0,45 TeV, poi iniettati negli anelli dove le cavità a radiofrequenza poste lungo la traiettoria forniscono l'energia mancante per arrivare ai 7 TeV per fascio.

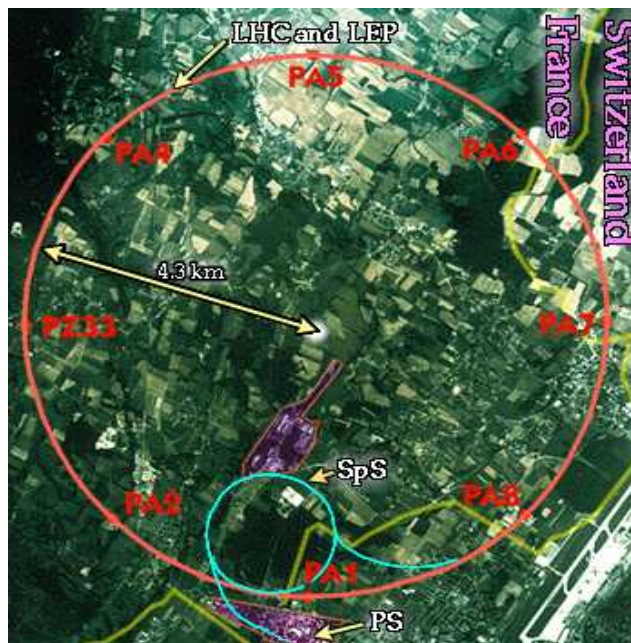


Figura 1.2: Schema d'iniezione.

Un ruolo importante è svolto da grandi magneti superconduttori che forniscono un campo magnetico di 8,3 tesla che permette di mantenere i fasci in un'orbita circolare.

Il periodo di bunch crossing (BX), cioè la distanza temporale che intercorre tra una collisione dei fasci di particelle e la successiva, è di 25 ns.

La luminosità si può scrivere come:

$$L = F \times \frac{fn_1n_2}{4\pi\sigma_x\sigma_y}$$

dove $F=0,9$ è un fattore che tiene conto dell'angolo tra i due fasci, non esattamente paralleli, n_1 e n_2 il numero di protoni, $\sigma_x\sigma_y \cong 15\mu m$ le semidispersioni gaussiane del pacchetto nella direzione di curvatura e in quella perpendicolare al piano del collider. Questo porta ad un valore della luminosità $L= 10^{34} \text{ cm}^{-2}\text{s}^{-1}$ anche se, per il primo anno LHC, lavorerà ad una luminosità inferiore di un ordine di grandezza. Tale fase verrà sfruttata dall'esperimento LHCb che necessita d'una luminosità minore.

Lungo il percorso vi sono otto stazioni lineari dove avviene l'intersezione tra i due fasci di protoni: quattro sono adibite al monitoraggio dei fasci, mentre, nelle rimanenti, verranno situati quattro apparati sperimentali di ATLAS, CMS, ALICE e LHCb (Figura 1.1).

ATLAS [3] e CMS [4] sono due grandi spettrometri che coprono buona parte dell'angolo solido progettati per sfruttare al massimo la grande energia nel centro di massa che LHC può generare ($\sqrt{s} = 14\text{TeV}$). Sono realizzati, quindi, per lo studio della fisica delle particelle ad alto momento trasverso p_t e, in particolare, per la ricerca del bosone di Higgs. Anche se si prefiggono gli stessi obiettivi, differiscono per le tecnologie impiegate e per i metodi di misura delle traiettorie e degli impulsi delle particelle prodotte nelle collisioni.

L'esperimento ALICE [5] studierà, mediante l'esame delle collisioni tra nuclei di piombo, la formazione d'un nuovo stadio della materia, il *quark-gluon plasma*, che si suppone fosse presente nei primi istanti del BigBang.

Infine LHCb sarà interamente dedicato allo studio della violazione del CP nei decadimenti dei mesoni B ($b\bar{b}$).

Nella seguente tabella riportiamo le luminosità richieste da tali esperimenti.

\sqrt{s}	14 TeV
circonferenza	26.7 km
$f_{\text{bunch crossing}}$	40 MHz
luminosità di progetto	$10^{34} \text{cm}^{-2} \text{s}^{-1}$
luminosità ATLAS, CMS	$10^{34} \text{cm}^{-2} \text{s}^{-1}$
luminosità LHCb	$2 \times 10^{32} \text{cm}^{-2} \text{s}^{-1}$

Tabella 1.2: Caratteristiche dell'acceleratore LHC.

Si osservi che, come già detto, LHCb necessita d'una luminosità assai minore di quella nominale, che è essenziale per il corretto funzionamento del rivelatore.

Infatti il numero d'interazioni per incrocio N è dato da:

$$N_{LHC} = \frac{\sigma_{\text{anelastica}} \cdot L_{LHC}}{f_{\text{bunch_crossing}}} = \frac{(80 \times 10^{-27} \text{cm}^2)(10^{34} \text{cm}^{-2} \text{s}^{-1})}{40 \text{MHz}}$$

$$\approx 20 \quad \text{interazioni per incrocio}$$

che è un numero troppo elevato sia per il trigger, sia per la ricostruzione dell'evento. ATLAS e CMS sono immuni da questo problema perché studiano solo gli eventi ad alto momento trasverso e quindi eliminano molti degli eventi di fondo che si trovano ad angoli piccoli: LHCb si propone di studiare proprio questi eventi e necessita perciò d'una riduzione della luminosità per ridurre il numero dei dati registrati.

2. L'Esperimento LHCb

2.1. La fisica di LHCb

Lo scopo principale di LHCb è quello di sovra-determinare i parametri dei Triangoli d'Unitarietà del Modello Standard tramite misure, di precisione e con alta statistica, della violazione del CP [6].

Allo scopo si presta particolarmente la gran produzione di quark b (bottom o beauty) che si realizzerà in LHC e che darà origine ad un sistema di mesoni B neutri (\bar{B}_q^0, B_q^0), costituiti da un quark di tipo b e uno di tipo d o s. Osservando il decadimento di tali mesoni sarà possibile evidenziare la violazione di CP e, per il teorema CPT, la seguente violazione di T, così come nel sistema dei K neutri. Rispetto ai mesoni K, i mesoni B godono però del seguente vantaggio: essendo la massa dei quark b circa 30 volte maggiore di quella dei quark s [7] (che prendono il posto dei b nei mesoni K) sono possibili previsioni teoriche del Modello Standard estremamente precise, poiché diventa trascurabile il contributo apportato dalle interazioni forti e quindi le correzioni della QCD.

In particolare verranno studiati i canali di decadimento rari del mesone B nei quali si verifica la violazione CP, cosa resa possibile soltanto dall'alta statistica fornita da LHC.

2.1.1. Violazione di CP nei decadimenti dei mesoni B.

I mesoni neutri B vengono prodotti mediante interazione forte ma decadono secondo interazione debole che non conserva il beauty [6]. Essi sono stati legati di coppie quark-antiquark, contenenti il quark \bar{b} e un altro quark, che danno origine

ai quattro mesoni B, due neutri e due carichi, con le rispettive antiparticelle, riportati nella tabella 2.1 insieme alle rispettive masse e vite medie.

mesone	$\bar{q}q$	M(MeV)	$\tau(ps)$
B_u^+	$\bar{b}u$	5279.0 ± 0.5	1.653 ± 0.028
B_d^0	$\bar{b}d$	5279.4 ± 0.5	1.548 ± 0.028
B_s^0	$\bar{b}s$	5369.6 ± 2.4	1.493 ± 0.062
B_c^+	$\bar{b}c$	$(6.4 \pm 0.4) \times 10^3$	$0.46_{-0.16}^{+0.18}$

Tabella 2.1: Il sistema dei mesoni B.

Del sistema dei mesoni B, per studiare la violazione di CP, è utile considerare i mesoni neutri B_d^0 e B_s^0 .

In analogia allo studio del decadimento dei mesoni K neutri, bisogna considerare due autostati deboli B_L e B_H scritti nel seguente modo:

$$|B_L\rangle = p|B^0\rangle + q|\overline{B^0}\rangle$$

$$|B_H\rangle = p|B^0\rangle - q|\overline{B^0}\rangle$$

dove p e q sono coefficienti complessi che rispettano la condizione di normalizzazione $|p|^2 + |q|^2 = 1$.

A differenza dei mesoni K, però, nel sistema così definito non è possibile osservare la violazione CP cercando direttamente decadimenti vietati: infatti non è possibile creare un fascio puro di B_L o di B_H perché è piccola la differenza fra le rispettive vite medie e quindi fra le rispettive larghezze di decadimento Γ . In particolare si può dimostrare che $\Delta\Gamma/\Gamma \approx 4 \times 10^{-3}$ per B_d^0 e $\Delta\Gamma/\Gamma \approx 0.1$ per B_s^0 .

Per osservare la violazione di CP bisogna comparare i *rate* di decadimento dello stato iniziale di B^0 e di $\overline{B^0}$ oppure misurarne l'andamento temporale.

Si possono distinguere due classi di violazione di CP:

1) Violazione indiretta

Riguarda i decadimenti semileptonici.

Nei decadimenti semileptonici B^0 decade in un leptone positivo e \bar{B}^0 in uno negativo.

Il rapporto:

$$A_{sl} = \frac{\dot{N}(\bar{B}^0 \rightarrow l^- X) - \dot{N}(B^0 \rightarrow l^+ X)}{\dot{N}(\bar{B}^0 \rightarrow l^- X) + \dot{N}(B^0 \rightarrow l^+ X)}$$

è detto asimmetria semileptonica. Un'asimmetria non nulla testimonia che una parte dei B decade nel leptone col segno vietato dalla conservazione di CP.

Tale violazione è associata ad un cambiamento di sapore 2 che è previsto essere molto piccolo nei decadimenti di B e la sua misura, resa possibile dalla gran quantità d'eventi disponibili, rappresenta un fertile campo di ricerca di nuova fisica fuori dal Modello Standard.

2) Violazione diretta

Riguarda tutti i canali in cui le ampiezze di decadimento hanno fasi deboli differenti. Infatti mentre l'interazione elettromagnetica e quella adronica possono sempre essere definite reali, per quella debole questo non è possibile.

Se si considera il decadimento dei B^0 e di \bar{B}^0 verso lo stesso autostato di CP l'asimmetria di tali canali di decadimento risulta proporzionale al seno della loro differenza di fase:

$$A_{f(t)} = \sin[2(\phi_{mix} + \phi_w)]\sin(2\Delta Mt)$$

dove $2\phi_w$ è la differenza di fase tra il canale di decadimento del B^0 e quello del \bar{B}^0 , $2\phi_{mix}$ la fase del fenomeno del mixing tra B^0 e \bar{B}^0 e ΔM è la differenza di massa tra i due stati B_L e B_H , quantità tutte legate ai triangoli d'unitarietà del Modello Standard.

La misura diretta dell'asimmetria permette di determinare questi parametri da cui si può risalire agli angoli del triangoli d'unitarietà.

Per misurare accuratamente la dipendenza temporale dell'asimmetria è necessario trovare le ampiezze di decadimento in funzione del tempo del mesone B: perciò è necessaria una risoluzione spaziale che permetta di discriminare la distanza tra il vertice primario, in cui il mesone viene creato, e quello secondario, in cui decade. Per esempio, se si considera un B^0 con energia di 200 GeV si trova che:

$$\gamma = \frac{E}{m} = \frac{200 \text{ GeV}}{5 \text{ GeV}} = 40$$

e la particella percorre mediamente una distanza:

$$c \tau \gamma = 464 \mu\text{m} \times 40 \approx 2 \text{ mm} .$$

Questo testimonia che il rivelatore di vertice dovrà avere una risoluzione spaziale eccellente ($\ll 2$ mm) per effettuare la misura dell'asimmetria.

Poiché la violazione diretta di CP è legata a cambiamenti di sapore $|\Delta B|=1$, per misurare l'asimmetria è necessario determinare il sapore del mesone B prodotto ($B=\pm 1$): il processo d'identificazione del sapore prende il nome di tagging.

In LHCb il tagging viene eseguito sfruttando i leptoni provenienti dal decadimento $b \rightarrow l + q$ e attraverso i K carichi del decadimento $b \rightarrow c \rightarrow s$.

Nelle interazioni forti vengono prodotte coppie particella- antiparticella $B^0 - \bar{B}^0$:

uno dei due mesoni decade in uno dei canali di interesse per l'esperimento e ne viene completamente ricostruita l'evoluzione, mentre l'altro viene usato per il tagging utilizzando la correlazione tra il segno del sapore e la carica del leptone o del K prodotto:

$$\begin{cases} B^0 \rightarrow l^+ & \text{e} & B^0 \rightarrow K^+ \\ \bar{B}^0 \rightarrow l^- & \text{e} & \bar{B}^0 \rightarrow K^- \end{cases}$$

2.2. Esempi di decadimento dei mesoni B

Nella tabella seguente sono riportati i canali di decadimento del B^0 che, insieme ai corrispondenti canali per \bar{B}^0 , sono di particolare interesse per lo studio della violazione di CP.

Decadimento del quark	Decadimento del mesone	Parametro misurato
$b \rightarrow c + \bar{c}s$	$B_d^0 \rightarrow J/\psi K_S$	β
$b \rightarrow u + \bar{u}d$	$B_d^0 \rightarrow \pi^+\pi^-$	$\beta + \gamma$
$b \rightarrow c + \bar{c}s$	$B_s^0 \rightarrow J/\psi \phi$	$\delta\gamma$
$b \rightarrow u + \bar{c}s$	$B_d^0 \rightarrow D^{*\mp}\pi^\pm$	$\gamma - 2\beta$
$b \rightarrow c + \bar{u}s$	$B_s^0 \rightarrow D_s^{*\mp}K^\pm$	$\gamma - 2\delta\gamma$
$b \rightarrow c + \bar{u}s$	$B_s^0 \rightarrow D^0 K^{*0}$	γ

Tabella 2.2: Decadimenti noti dei mesoni B e relativi parametri misurabili.

Vediamo i più importanti più in dettaglio:

1) $B_d^0 \rightarrow J/\psi K_s$

Questo canale di decadimento è interessante per la presenza della J/ψ con doppia segnatura leptonica: le coppie e^+e^- e $\mu^+\mu^-$ prodotte sono ottimi segnali per identificare il canale.

Il rapporto di decadimento vale $\Gamma(B_d^0 \rightarrow J/\psi K_s)/\Gamma_{TOT} = (8.9 \pm 1.2) \times 10^{-4}$.

Questo canale è anche detto *gold plated* perché vi è un assenza di fattori QCD: ciò permette previsioni teoriche più precise che evidenziano gli effetti della violazione CP.

Nella Figura 2.1 sono riportati i diagrammi ad albero e a pinguino del decadimento [8].

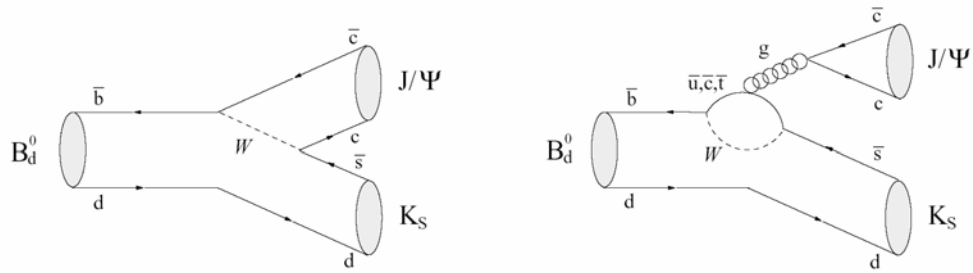


Figura 2.1: Diagrammi ad albero e a pinguino del decadimento $B_d^0 \rightarrow J/\psi K_s$

2) $B_d^0 \rightarrow \pi^+ \pi^-$.

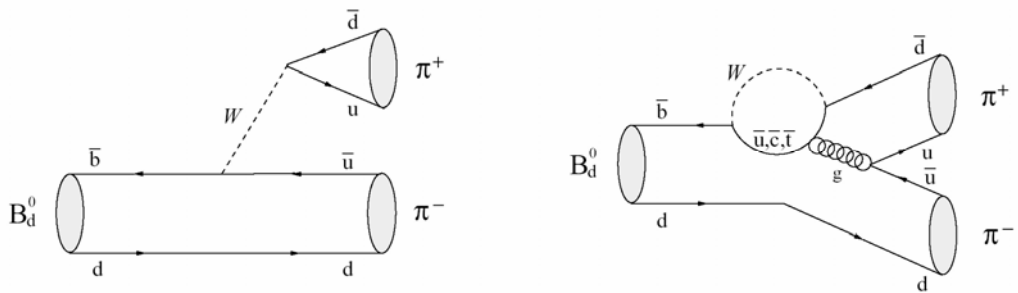


Figura 2.2: Diagrammi ad albero e a pinguino del decadimento $B_d^0 \rightarrow \pi^+ \pi^-$

Rapporto di decadimento: $\Gamma(B_d^0 \rightarrow \pi^+ \pi^-) / \Gamma_{TOT} < 1.5 \times 10^{-5}$

3) $B_s^0 \rightarrow J/\psi \phi$

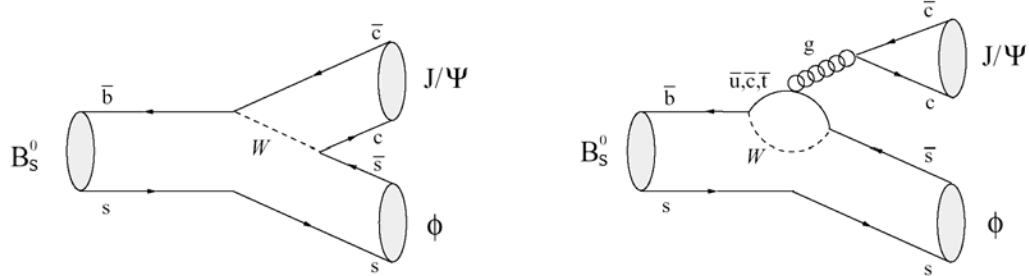


Figura 2.3: Diagrammi ad albero e a pinguino del decadimento $B_s^0 \rightarrow J/\psi \phi$

Rapporto di decadimento: $\Gamma(B_s^0 \rightarrow J/\psi \phi) / \Gamma_{TOT} = (9.3 \pm 3.3) \times 10^{-4}$

Questo canale è analogo a $B_d^0 \rightarrow J/\psi K_s$ con l'unica differenza che ora il quark aspettato è un quark s.

Siccome lo SM fornisce valori trascurabili riguardo al contributo alla violazione di CP da parte di questo canale di decadimento, esso rappresenta un ottimo strumento per la ricerca d'una nuova fisica.

2.3. Vantaggi della fisica di LHCb

La fisica del b in LHCb gode dei seguenti vantaggi [9]:

- La **sezione d'urto relativa** molto alta ($\sigma_{b\bar{b}} \approx 500mb$

$$\frac{\sigma_{b\bar{b}}}{\sigma_{anelastica}} \approx 0.01), \text{ che corrisponde a } 10^{12} b\bar{b} / \text{anno} \text{ fornisce un'alta statistica}$$

che permetterà misure precise.

- La **luminosità** appositamente regolata a $L = 2 \times 10^{32} \text{ cm}^{-2}\text{s}^{-1}$ permette di ottenere $\nu = 0.4$ interazioni anelastiche visibili per ogni collisione dei fasci (bunch crossing). La bassa probabilità di avere

interazioni multiple permette facilmente di isolare un evento semplificando la ricostruzione degli eventi.

- Alle **alte energie** disponibili b e \bar{b} sono correlati spazialmente, nel senso che sia gli adroni contenenti b , che quelli contenenti \bar{b} , sono prodotti in avanti nello stesso cono, come si può vedere chiaramente nel seguente istogramma calcolato dal generatore di eventi PYTHIA.

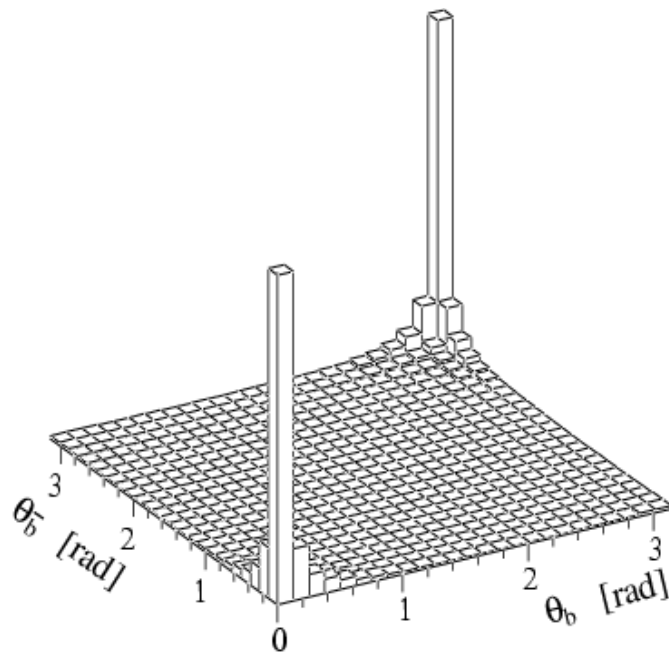


Figura 2.4: Gli angoli polari dei quark b e \bar{b} calcolati dal generatore di eventi PYTHIA. Si vede chiaramente che la distribuzione è fortemente piccata intorno all'angolo nullo ed è quindi conveniente scegliere, per il rivelatore, una geometria a *braccio singolo*.

- **Alto momento del B** ($\beta\gamma \approx 14$) che vuol dire separazione tra il vertice primario e quello secondario del decadimento del B tale da permetterne facilmente l'identificazione. $\beta\gamma c\tau \approx 7mm$

In virtù di queste proprietà nel paragrafo successivo verrà descritta la struttura del rivelatore di LHCb.

2.4. Struttura del rivelatore

Per il rivelatore di LHCb ha una configurazione a braccio singolo che permette una copertura angolare che va dai 10 ai 300 mrad nel piano xz e da 10 a 250 mrad nel piano yz. La scelta d'una geometria a braccio singolo è giustificata dalla correlazione spaziale, descritta nel paragrafo precedente, che permette di ottenere un'accettanza, sia per il B^0 che per il \bar{B}^0 , paragonabile a quella d'un rivelatore centrale, che coprirebbe tutto l'angolo solido, ma avrebbe costi di realizzazione più elevati.

In figura 2.5 è riportato la distribuzione dell'impulso dell'impulso del B^0 misurata attraverso i pioni del decadimento $B_d^0 \rightarrow \pi^+ \pi^-$ in tutto l'angolo solido e quella nel cono d'accettanza del rivelatore: si nota facilmente che più del 30% dei pioni prodotti finiscono nel cono d'accettanza.

Una serie di rivelatori, di diversa tecnologia, disposti lungo la traiettoria delle particelle consentono di effettuare il trigger e il tagging delle particelle. La figura 2.6 mostra una sezione longitudinale e trasversale del rivelatore [10].

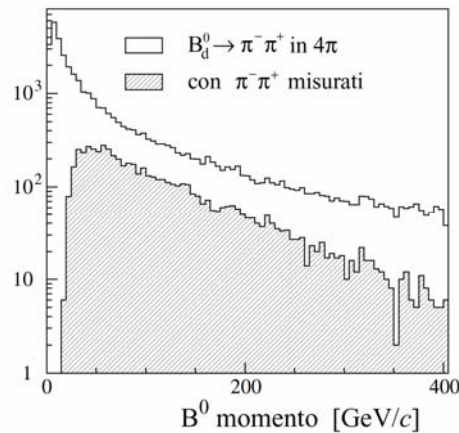


Figura 2.5: Distribuzione dell'impulso per $B_d^0 \rightarrow \pi^+ \pi^-$ in 4π e quella misurata rivelando sia π^+ che π^- nello spettrometro.

Intorno al punto d'intersezione è situato il rivelatore di vertice VELO. Tale rivelatore ha il compito di contare i vertici primari e discriminare gli eventi indesiderati che contengono più di un'interazione protone-protone (*pile-up veto counter*). Vista la distanza fra tali vertici, necessita di un'alta risoluzione spaziale. Il VELO è composto da 42 piani di silicio di forma semicircolare disposti ad un centimetro dal fascio durante la presa dati e letti mediante strip circolari e radiali (fig.2.7-2.8). Tale rivelatore fornisce una risoluzione spaziale sul vertice primario di 40 μm e una risoluzione spaziale sul tempo proprio di 40 fs. [11].

Le 11 stazioni T1-T11 costituiscono il sistema principale di tracciamento, insieme ad un potente magnete che sviluppa un campo verticale di 4 Tesla. Le prime stazioni, in particolare le due più vicine al punto di collisione, sono caratterizzate da una risoluzione maggiore.

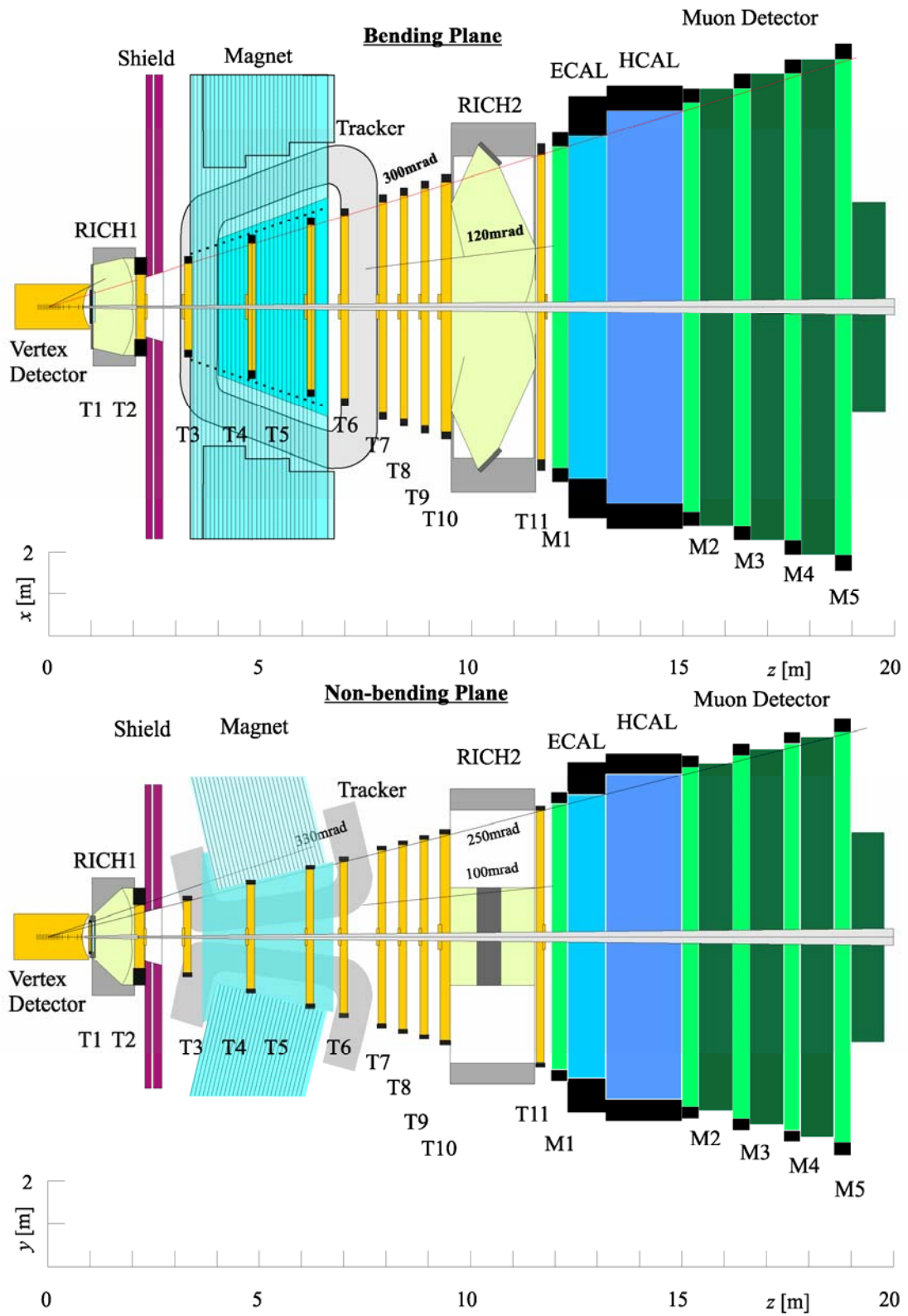


Figura 2.6: Sezione longitudinale e trasversare del rivelatore di LHCb

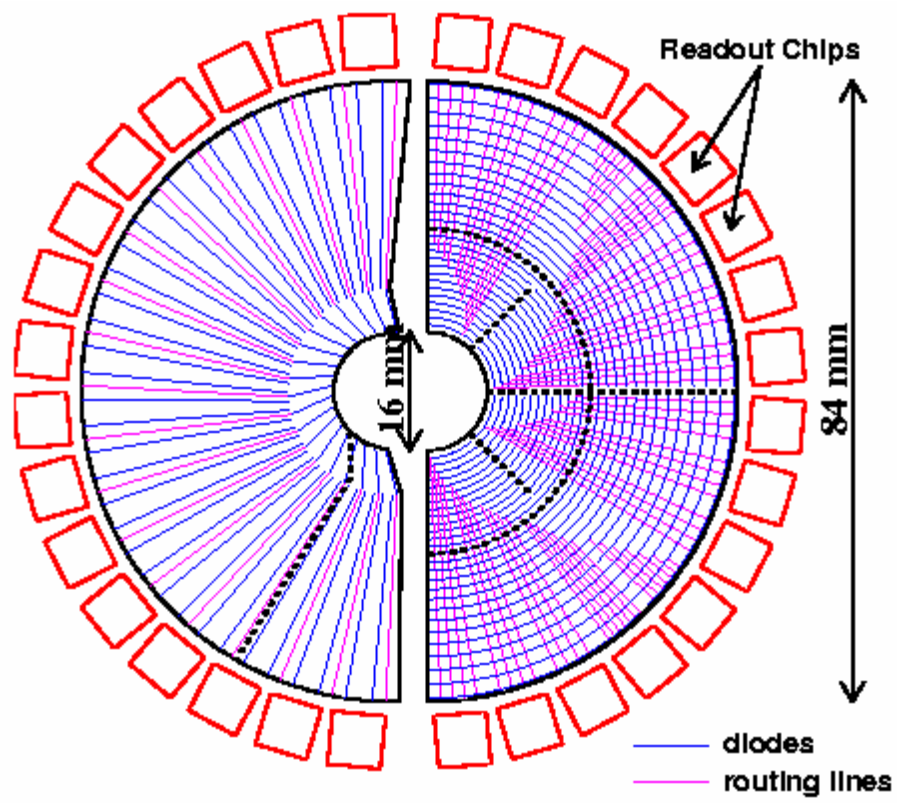


Figura 2.7: Sezione del rivelatore VELO



Figura 2.8: sensore al silicio del rivelatore VELO.

Il RICH1 (Ring Imaging Cherenkov) e il RICH2 sono necessari per il riconoscimento delle particelle, soprattutto per distinguere K da π al fine di permettere il riconoscimento del canale di decadimento e il tagging del sapore. Essi coprono tutto l'angolo solido tra 10 e 330 mrad che corrisponde ad un intervallo d'impulso tra 1 GeV e 150 GeV ($1 < p < 70$ GeV/c per il RICH1 e $20 < p < 150$ GeV/c per il RICH2) [12][11].

L'ampio range d'impulsi è indispensabile per identificare sia le particelle ad alto momento trasferito, permettendo così di sopprimere il fondo, sia gli adroni con basso momento, necessari per il tagging del sapore.

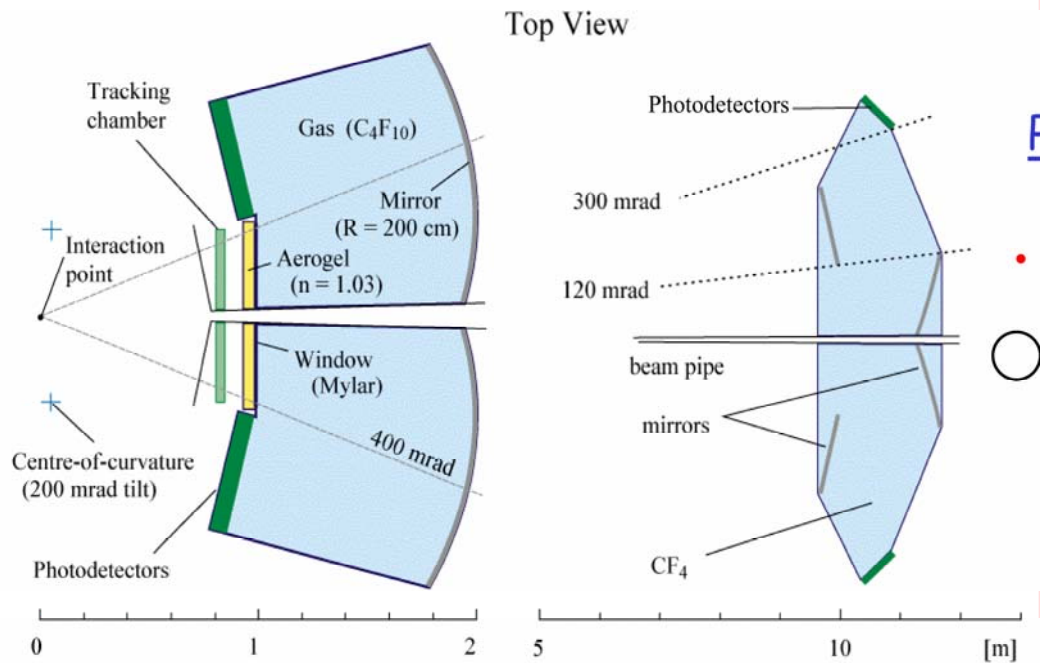


Figura 2.9: Sezione del RICH1 e del RICH2

Il RICH1 è posto subito dopo il rivelatore di vertice ed è costituito da due radiatori, uno ad aerogel di silicio e uno a gas con C_4F_{10} , mentre il RICH2 è posto prima dei calorimetri ed è costituito da un solo radiatore con CF_4 ;

La parte finale di LHCb è composta dai rivelatori dedicati al trigger.

ECAL e HCAL sono due calorimetri, il primo elettromagnetico ed il secondo adronico.

ECAL è costituito da un rivelatore di preshower, composto da uno strato di piombo al fine di filtrare le particelle cariche con energie più basse, da uno strato di scintillatori, e da un calorimetro con tecnologia Shashilik. La luce viene raccolta tramite fibre a spostamento di lunghezza d'onda WLS (wavelength shifting fibers). Il suo scopo è identificare elettroni, fotoni e π^0 e misurarne posizione e momento.

Lo stesso compito per gli adroni è svolto da HCAL, costituito da scintillatori immersi in una struttura di ferro profonda 1.5 m, anch'essi letti da WLS.

Infine le cinque stazioni M1-M5 costituiscono il rivelatore di muoni, elemento chiave dell'apparato sperimentale, che permette l'identificazione e il trigger di primo livello per i muoni. Questo è indispensabile per l'esperimento: sia perché i muoni sono presenti nello stato finale dei decadimenti dei B neutri con violazione CP, in particolare nei due "gold-plated" $B_d^0 \rightarrow J/\psi(\mu^+\mu^-) K_s$ e $B_s^0 \rightarrow J/\psi(\mu^+\mu^-) \phi$, sia perché i muoni provenienti dai decadimenti semi-leptonici permettono il tagging del sapore iniziale dei mesoni.

Le loro caratteristiche verranno approfondite in seguito, vista la loro attinenza al lavoro di tesi.

2.4.1. *Il trigger*

Il compito del sistema di trigger è quello di selezionare i decadimenti dei mesoni B dai fondi delle collisioni anelastiche.

Come già visto LHCb disporrà di circa 10^5 coppie $b\bar{b}$ al secondo: un numero tale di eventi è impossibile da processare interamente. Diversamente da quanto accaduto finora nella fisica del B, in cui si avevano a disposizione pochi eventi ed era necessario un trigger ad altissima efficienza, il trigger di LHCb seleziona soltanto gli eventi con alto momento trasverso.

Il sistema di trigger è diviso in quattro livelli, due hardware e due software:

1. **livello 0 (hardware):** il rate d'ingresso di questo livello è 40 MHz (vale a dire la frequenza di bunch crossing), mentre quello di uscita è di 1 MHz. Esso usa le informazioni provenienti dal calorimetro e dalle stazioni M1-M5 per selezionare gli eventi con adroni, leptoni o fotoni con alto momento trasverso. In funzione del tipo di particella varia il valore della soglia di accettazione nell'intervallo tra 1 GeV e 3.5 GeV. Inoltre il *pile-up veto* rigetta tutti gli eventi caratterizzati da interazioni multiple per singolo bunch crossing.

2. **livello 1 (hardware):** il rate d'ingresso è di 1 MHz mentre quello di uscita di 40 kHz. Il livello 1 usa le informazioni raccolte dal VELO e dalle prime stazioni di tracking per identificare i vertici secondari dislocati vicino ai vertici primari, caratteristico dei decadimenti di mesoni B.

3. **livello 2 (software):** ha un rate d'ingresso di 40 kHz e uno d'uscita di 5 kHz. Questo livello accede alle informazioni dell'intero evento aggiungendo l'informazione sull'impulso ricavate dal tracker alle tracce dei vertici secondari.

4. **livello 3 (software):** ha un rate d'ingresso di 5 kHz e uno d'uscita di 200 Hz. Combinando le informazioni di tutti i rivelatori e ricostruisce lo stato finale facendo uso di algoritmi d'analisi.

Infine le informazioni vengono salvate su un nastro alla frequenza di 200 Hz.

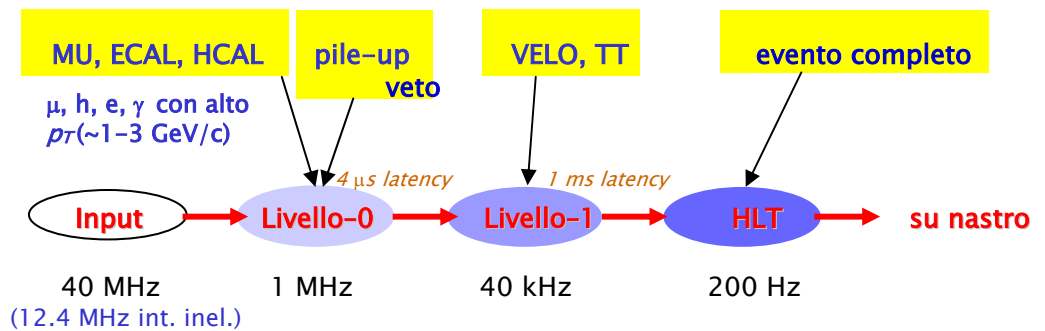


Figura 2.10: diagramma di flusso dei quattro livelli di trigger di LHCb.

2.4.2. Il tagging

È già stato sottolineato che per misurare le asimmetrie di CP bisogna conoscere il sapore del B che si sta osservando: questa operazione è detta tagging. Siccome l'interazione forte porta sempre alla creazione di coppie particella-antiparticella $B^0 - \bar{B}^0$ il secondo B viene utilizzato per il tagging.

A seconda del metodo con cui viene effettuato il tagging può essere *leptonico* o *kaonico*.

Si parla di *tagging leptonico* quando si esamina il leptone proveniente da un decadimento semi-leptonico del tipo $B^0 \rightarrow l^+ X$. Questo metodo fornisce un numero piccolo di errori, ma ha una scarsa efficienza, dovuta alla piccola frazione di decadimento (circa il 10% degli eventi). Le principali cause d'errore nel

tagging leptonic sono dovute al mixing dei B^0 e dei leptoni dal decadimento $b \rightarrow c \rightarrow l$ che però possono essere tagliati con facilità perché caratterizzati da un basso momento trasverso p_t . Il grafico in figura 2.11 riporta il momento trasverso dei muoni provenienti direttamente dal b e quello dei muoni provenienti dal c per un decadimento $B_d^0 \rightarrow \pi^+ \pi^-$. Si vede chiaramente che un taglio a 1.5 GeV permette di ottenere una buona separazione.

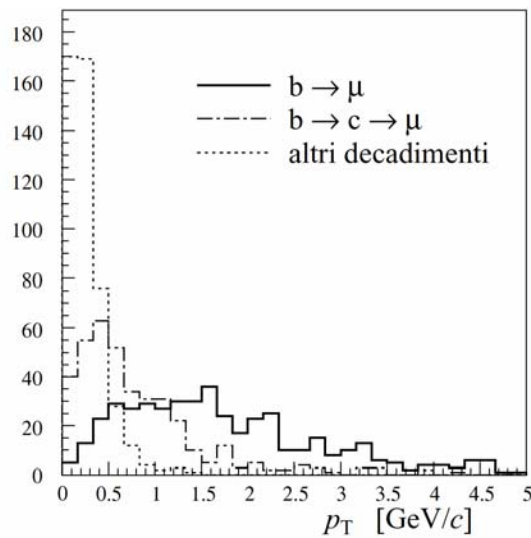


Figura 2.11: Distribuzione del p_t , per muoni dai decadimenti $b \rightarrow \mu$, $b \rightarrow c \rightarrow \mu$ e da altre fonti, in eventi in cui il secondo B decade in $\mu^+ \mu^-$.

Si parla invece di *tagging kaonico* se si usa il kaone prodotto nei decadimenti del tipo $B^0 \rightarrow K^+ X$ per l'identificazione del segno del sapore. Questa volta l'efficienza è elevata (78% degli eventi), ma bisogna riuscire a separare i K^\pm dal fondo dei pioni carichi. Per questo scopo gioca un'importanza fondamentale il RICH.

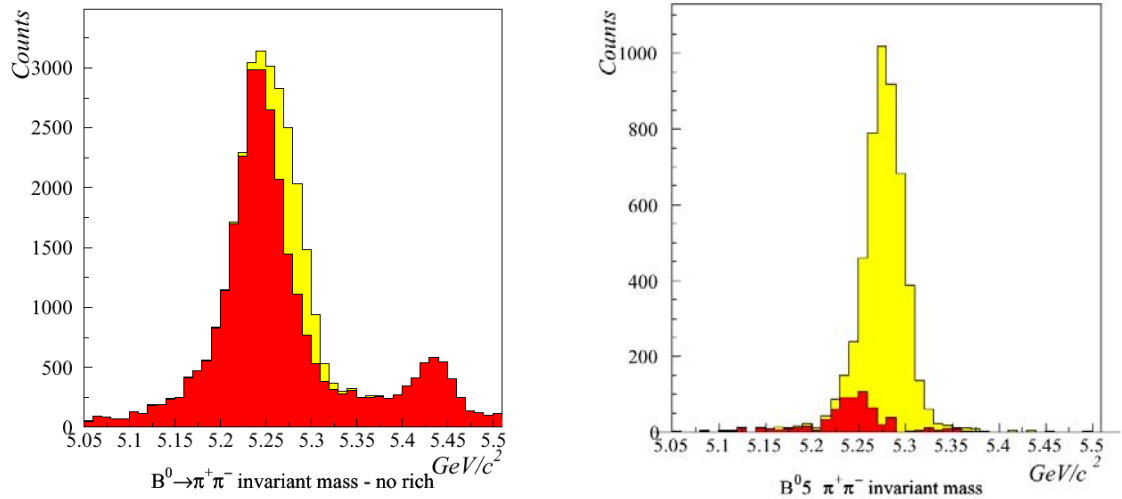


Figura 2.12: spettro della massa invariante con e senza il RICH. Si può vedere chiaramente la rimozione del fondo (in rosso) operata dai RICH.

Nella figura 2.13 si può vedere che i K provenienti dal decadimento del b hanno un grande parametro d'impatto d_0 . Eseguendo un taglio richiedendo che $\frac{d_0}{\sigma_d} > 3$, dove σ_d è l'errore su d_0 , si ottiene anche stavolta una buona separazione dal fondo.

Per entrambi i tagging vale la regola che il segno della carica del leptone (e o μ) o del K è opposto al segno del sapore: cioè i B^0 ($B=-1$) decadono con l^+ e K^+ e i \bar{B}^0 ($B=+1$) in l^- e K^- .

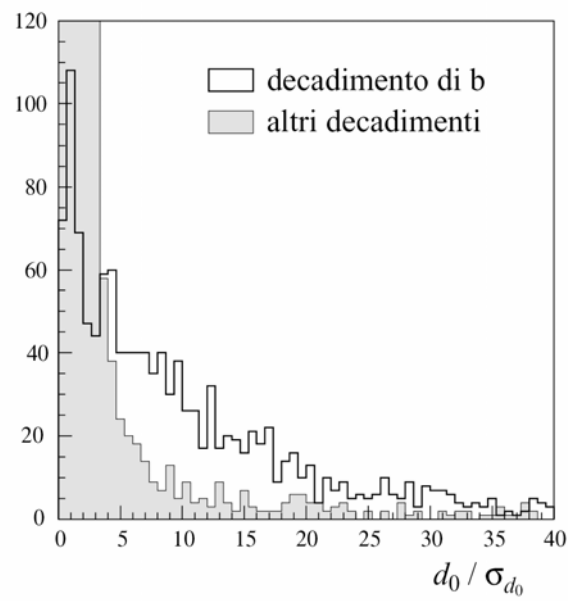


Figura 2.13: Distribuzione del parametro di impatto per caoni con $p_t > 0,8$ GeV dal decadimento del b e da altre fonti, in eventi in cui uno dei due B decade in $\mu^+ \mu^-$.

3. Il rivelatore di muoni

Il rivelatore di muoni, composto essenzialmente dalle 5 camere M1-M5, assolve un compito fondamentale nell'esperimento permettendo il trigger di livello 0 e l'identificazione dei muoni. Il trigger muonico si basa sulla ricostruzione della traccia (tracking) e sulla misura del momento trasverso delle particelle con una risoluzione del 20%.

Perché un evento sia preso in considerazione dovrà interessare tutte le stazioni M1-M5 che sono messe in AND: questo assicura la presenza del muone come particella con alto potere penetrativo. Le cinque stazioni hanno caratteristiche diverse dovute all'attenuazione subita dal fascio man mano che ci si allontana dal punto d'intersezione: la prima stazione si trova a 12.1 m, fra il tracker T11 e il calorimetro elettromagnetico, e subisce lo schermo del RICH2, mentre le altre rispettivamente a 15.2 m (M2), 16.4 m (M3), 17,6 m (M4) e 18.8 m (M5) e sono schermate da filtri di ferro. Il fascio di particelle viene quindi notevolmente attenuato, per quanto riguarda il rate e l'energia delle particelle che lo compongono, e richiede caratteristiche diverse per le cinque stazioni. Le stesse considerazioni si possono fare se ci si muove trasversalmente dal centro del fascio. Inoltre tale apparato funge da filtro del fondo di particelle a bassa energia fornendo una soglia di 5 GeV per l'energia dei muoni, necessaria per penetrare tutto il materiale ed arrivare fino alla stazione M5.

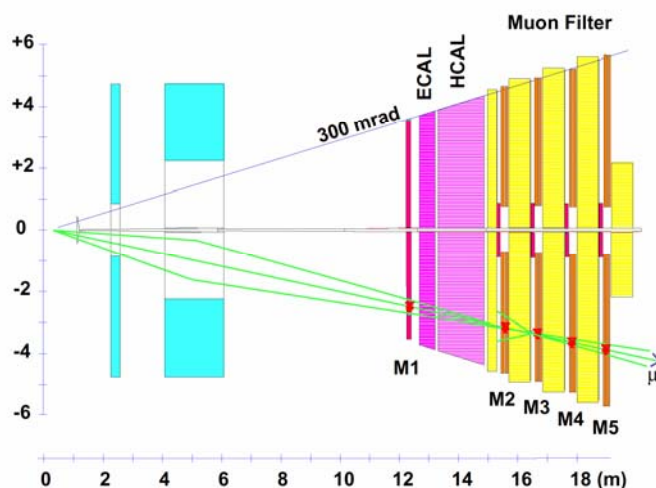


Figura 3.1: le componenti del rivelatore di muoni.

Le 5 stazioni di rivelazione hanno una struttura a pad bidimensionali. Al fine di ottimizzare il numero delle pads e conseguentemente quello dei canali logici del rivelatore, le dimensioni delle pads logiche segue la geometria proiettiva del rivelatore. Ogni stazione è divisa in quattro regioni (R1-R4) caratterizzate da diverse dimensioni delle pads. Più in dettaglio la superficie delle pad aumenta d'un fattore due passando dalla regione centrale, più vicina al fascio di particelle, a quella più esterna: così viene mantenuto pressoché costante il rapporto tra la superficie d'ogni pad e il rate di particelle aspettato. Per lo stesso motivo le dimensioni delle pads aumentano da una stazione all'altra.

Diverso è anche il rapporto y/x fra la lunghezza trasversale e quella longitudinale: la dimensione lungo x , dove agisce l'effetto di curvatura del campo magnetico, è determinata dalla precisione richiesta per la misura di p_t mentre, quelle in y , dalla richiesta di rigettare il fondo, poiché le particelle con basso p_t vengono deviate ad angoli più grandi ed escono rapidamente dall'angolo solido di interesse per l'esperimento, permettendo di usare per y una risoluzione inferiore. È stato scelto un rapporto y/x pari a 2.5 nella stazione M1, 5 in M2 e M3 e 1,25 in M4-M5 che non contribuiscono alla misura di p_t ma solo a confermare la presenza di muoni penetranti.

	M1	M2	M3	M4	M5
R1	1 × 2.5	0.5 × 2.5	0.5 × 2.5	2 × 2.5	2 × 2.5
R2	2 × 5	1 × 5	1 × 5	4 × 5	4 × 5
R3	4 × 10	2 × 10	2 × 10	8 × 10	8 × 10
R4	8 × 20	4 × 20	4 × 20	16 × 20	16 × 20

Tabella 3.1: Dimensioni (xy, in cm²) delle pad logiche nelle diverse zone delle cinque stazioni per i muoni.

Una stima dei diversi rate di particelle, a cui sono soggette le diverse regioni nelle cinque stazioni, è stata effettuata tramite l'uso di due programmi di simulazione, GCALOR e MARS [13][14][15]. Visti i risultati discordi dei due simulatori, MARS ha predetto un rate doppio di particelle rispetto a GCALOR, è stato fissato un fattore di sicurezza cinque volte superiore a quello previsto da GCALOR per le stazioni M2-M5 e due volte superiore per la stazione M1, che è posta davanti ai calorimetri e quindi meno affetta da incertezza. I risultati sono riportati nella tabella 3.2 per una luminosità $L = 5 \times 10^{32} \text{ cm}^{-2} \text{ s}^{-1}$.

	M1	M2	M3	M4	M5
R1	230·10 ³ 460·10 ³	7.5·10 ³ 37.5·10 ³	2·10 ³ 10·10 ³	1.3·10 ³ 6.5·10 ³	880 4.4·10 ³
R2	93·10 ³ 186·10 ³	5.3·10 ³ 26.5·10 ³	650 3.3·10 ³	430 2.2·10 ³	350 1.8·10 ³
R3	40·10 ³ 80·10 ³	1.3·10 ³ 6.5·10 ³	200·10 ³ 1.0·10 ³	150 750	130 650
R4	12.5·10 ³ 25·10 ³	230 1.2·10 ³	83 415	50 250	45 225

Tabella 3.2: Rate di particelle in kHz/cm² nelle varie zone del rivelatore di muoni. Nella prima riga sono riportati i valori calcolati alla luminosità $L=5 \times 10^{32} \text{ cm}^{-2} \text{ s}^{-1}$ mentre nella seconda lo stesso valore includendo il fattore di sicurezza.

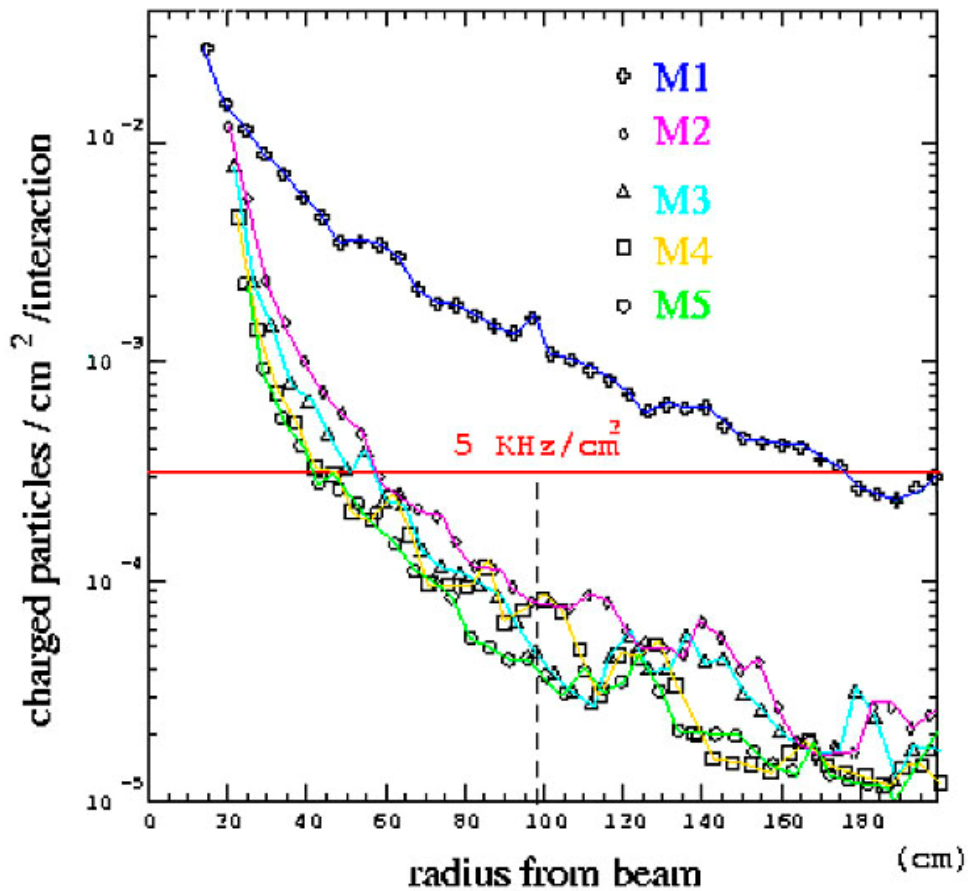


Figura 3.2: Grafico del flusso di particelle in funzione della distanza dal centro del fascio simulato con MARS. Il flusso di particelle più elevato (sopra la retta rossa dei 5 kHz/cm²) si ha nella stazione M1 (in Blu) e nelle regioni interne di M2-M5. Tanto più si va verso l'esterno, tanto più il flusso viene attenuato, giustificando l'utilizzo d'una geometria meno performante.

La lettura del rivelatore di muoni avviene tramite i segnali in uscita dall'elettronica di front-end che amplifica, forma e discrimina i segnali provenienti dal rivelatore fornendo in uscita un'informazione digitale (canali fisici). Siccome il trigger di livello 0 necessita d'una segmentazione più grossolana di quella fornita a questo stadio, canali fisici provenienti da camere diverse vengono raggruppati in OR logici tramite delle schede intermedie, dette Intermediate Board (IB), poste sul lato del rivelatore di muoni, in modo dipendente dalla loro posizione geografica. Queste permettono la riduzione dei

152832 canali fisici in 25920 logici, che costituiscono gli ingressi per il trigger e per l'acquisizione [16].

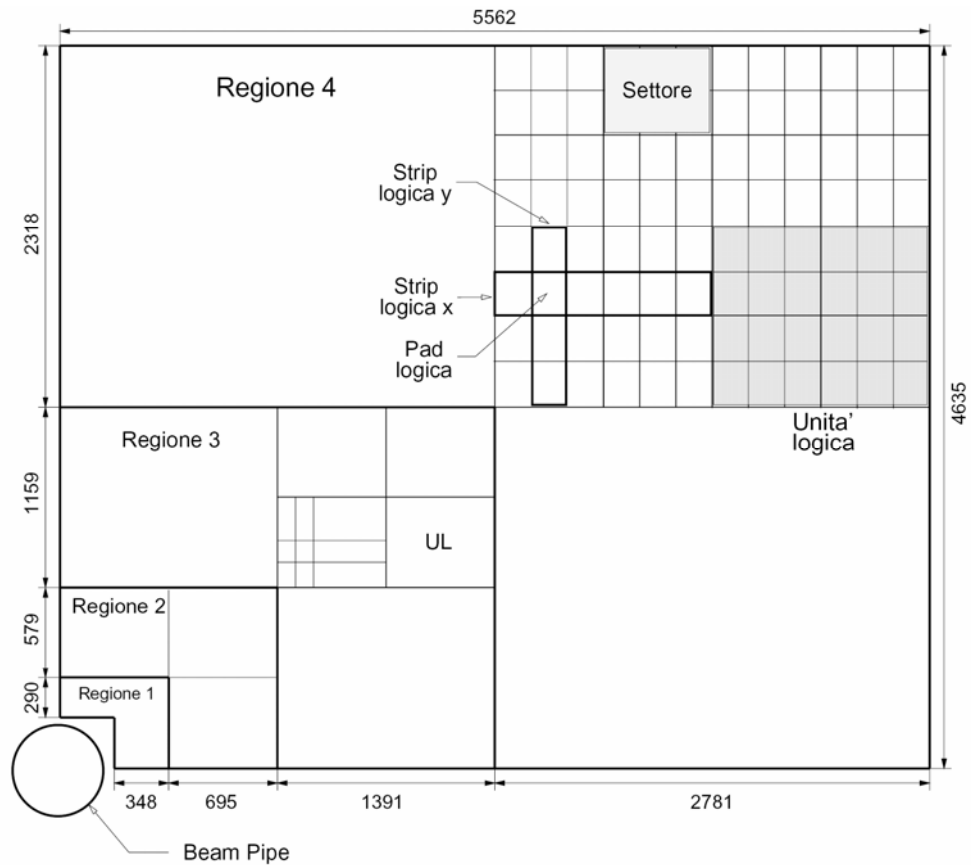


Figura 3.3: Vista frontale d'un quadrante della stazione M4. Le dimensioni delle altre stazioni cambiano secondo la geometria proiettiva del rivelatore. Si noti la suddivisione in settori e in pad e strip logiche.

I canali logici possono rappresentare sia delle pads logiche che delle strips [17]. Nel primo caso il canale logico identifica una zona ben precisa del rivelatore mentre, nel secondo, l'elettronica di trigger identificherà la pad logica corrispondente dall'incrocio delle strips in x e di quelle in y.

L'uso delle strips permette di diminuire notevolmente il numero dei canali necessari, ma è soggetto all'errore dell'hit fantasma: il passaggio contemporaneo di due particelle accende quattro strip, due orizzontali e due verticali,

identificando quattro pad colpite, due “vere” e due “fantasma” impossibili da distinguere. Il fenomeno è rappresentato nella figura 3.4 .

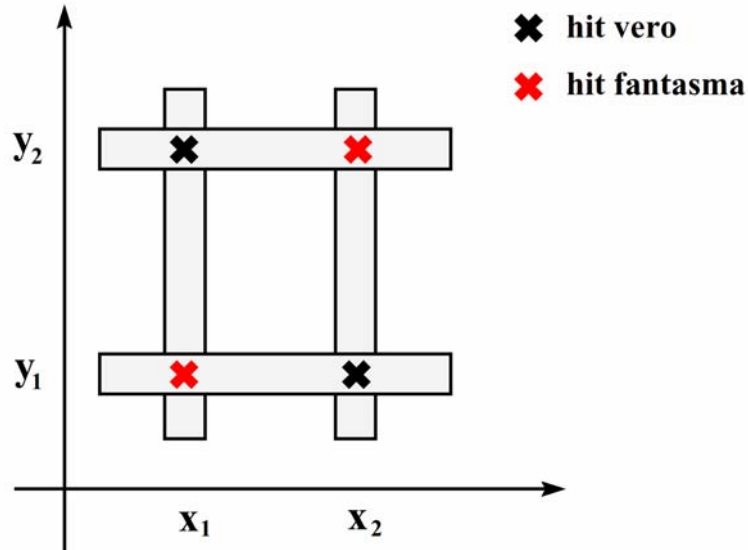


Figura 3.4: Hit fantasma

È evidente che il verificarsi di quest’evento è tanto più probabile quanto più grande è il rate delle particelle, mentre a rate bassi può diventare trascurabile.

Tale fenomeno rende impossibile l’utilizzo di strips nella stazione M1 che è mappata con sole pads. I risultati ottenuti in simulazione hanno permesso invece l’utilizzo di strip di lunghezza opportuna nelle altre stazioni. Nella tabella 3.3 è riportata la divisione dei canali logici in strips e pads.

	M1	M2	M3	M4	M5
R. I	576 pads	336 strips	336 strips	288 pads	288 pads
R. II	576 pads	384 strips	384 strips	168 strips	168 strips
R. I	576 pads	336 strips	336 strips	120 strips	120 strips
R. II	576 pads	336 strips	336 strips	120 strips	120 strips
Totale					6480
×4					25920

Tabella 3.3: Numero di pads e strip logiche utilizzate nella varie regioni delle cinque stazioni per i muoni.

Si noti che anche nella regione R.I delle stazioni M4 e M5 non vengono utilizzate strips, poiché, a causa della granularità richiesta, non si otterrebbe una riduzione significativa dei canali logici.

3.1. Tecnologia del sistema di rivelazione per i muoni.

La scelta dei rivelatori da usare per le camere M1-M5 è stata condizionata sia dalla tipologia del fondo che dalle finalità dell'esperimento.

Le principali richieste per le camere sono le seguenti:

1. *Alto rate*: cioè basso tempo morto visto l'elevato rate di particelle aspettato. Vedremo che tale richiesta comporterà la scelta di diverse tecnologie per i rivelatori, visto l'incremento del flusso d'un fattore 2×10^3 fra la regione più esterna della stazione M5 e quella più interna di M1.

2. *Resistenza all'invecchiamento*: la scelta dei materiali dovrà essere tale da assicurare il funzionamento dei rivelatori almeno per i 10 anni in cui si prevede l'utilizzo del rivelatore.

3. *Risoluzione temporale adatta al periodo di BX*: ai fini del trigger muonico è essenziale che ad ogni particella sia assegnato il "BX identifier"¹ in maniera non ambigua, cioè che venga rilevato il suo passaggio nel rivelatore in una finestra temporale non più grande del periodo di bunch crossing. In particolare si richiede che questo avvenga con un'efficienza del 95% in una finestra temporale di 20 ns.

¹ È il numero a 8 bit che identifica l'orbita di LHC di appartenenza dell'evento che si sta analizzando

4. *Risoluzione spaziale*: si richiede che la risoluzione spaziale sia tale da permettere di determinare il momento trasverso della particella rivelata con un'incertezza inferiore al 20%. Tale richiesta riguarda in particolare le stazioni M1 e M2. Per soddisfarla bisogna tenere conto anche del cluster-size geometrico del rivelatore scelto.

A causa del diverso rate di particelle a cui sono soggette le varie zone delle cinque camere per i muoni, sono state usate tecnologie diverse per la loro realizzazione.

In tutte le regioni, tranne che nelle ragioni R1 e R2 della camera M1, sono state scelti rivelatori MWPC (Multi Wire Proportional Chambers) mentre nelle rimanenti, caratterizzate da rate superiori a 100 kHz/cm^2 , è ancora in fase di studio la scelta della tecnologia, che sembra vertere su dei rivelatori GEM (Gas Electron Multiplier).

Le MWPC di LHCb sono composte da quattro gap di gas messe in OR per ottenere un'ottimizzazione della risoluzione temporale che risulta essere migliore di 3ns, e quindi in ottimo accordo con la richiesta di avere una risoluzione adatta a discriminare bunch crossing diversi. Ogni camera ha una geometria a due gap messe in OR logico, che corrispondono a due canali fisici per l'elettronica di front-end. Tale ridondanza assicura un'efficienza del 99% in una finestra di 20 ns. Ogni strato è composto d'un reticolo di fili spazati fra loro di 2 mm e una gap di gas, fra i fili anodo e i catodi pad, di 5 mm. Come gas è stata scelta una miscela di Ar, CO₂ e CF₄ nel rapporto 40/50/10 che permette una rapida propagazione delle cariche al suo interno e concorre a soddisfare la richiesta d'una buona risoluzione temporale. [18]. In tabella 3.4 sono riportate le caratteristiche principali dei rivelatori MWPC.

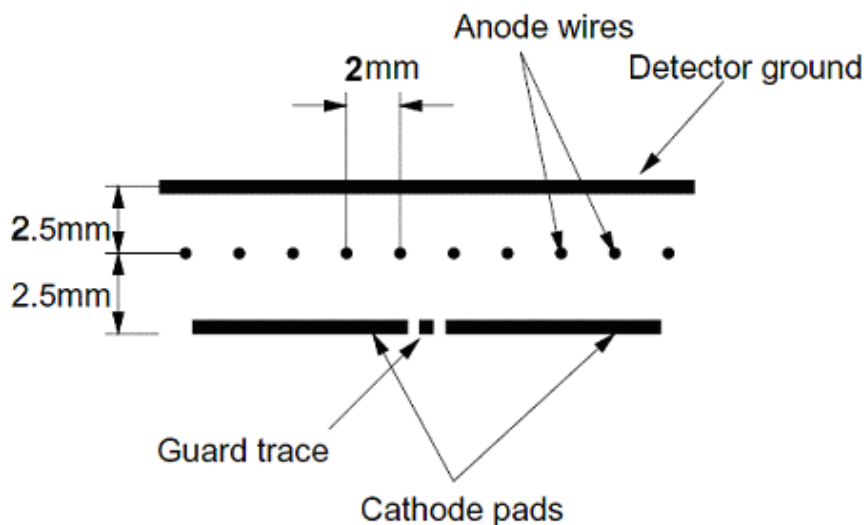


Figura 3.5: schema d'una gap delle MWPC.

Le MWPC sono soggette ad un deterioramento della risoluzione spaziale dovuta al fatto che, la traccia del passaggio d'una particella nel rivelatore, può accendere più d'una pad logica (fig.3.6). Infatti ogni camera è costituita da due strati di pad e quindi la particella può, sotto un certo angolo, entrare in una pad e uscire da un'altra, provocando un hit in entrambe: questo evento è facilmente riconoscibile e non costituisce un problema per quanto riguarda il conteggio della particella, ma provoca un aumento dell'incertezza in termini spaziali.

Questo effetto prende il nome di cross-talk. Una sua stima viene data considerando il numero medio di pad accese al passaggio d'una particella, detto *cluster-size geometrico*, e dipende dall'angolo medio delle tracce, dalla grandezza delle pad e dalla distanza fra gli strati del rivelatore: più tale quantità è maggiore di 1, più la risoluzione spaziale ne risulta intaccata. Nelle camere di LHCb si è deciso di mantenere tale valore al disotto di 1,2 per mantenere alta l'accettanza di M1.

Tale necessità, insieme al grande incremento del rate di particelle nelle regioni più interne di M1, giustificano la scelta d'un tipo di rivelatore diverso in queste zone.

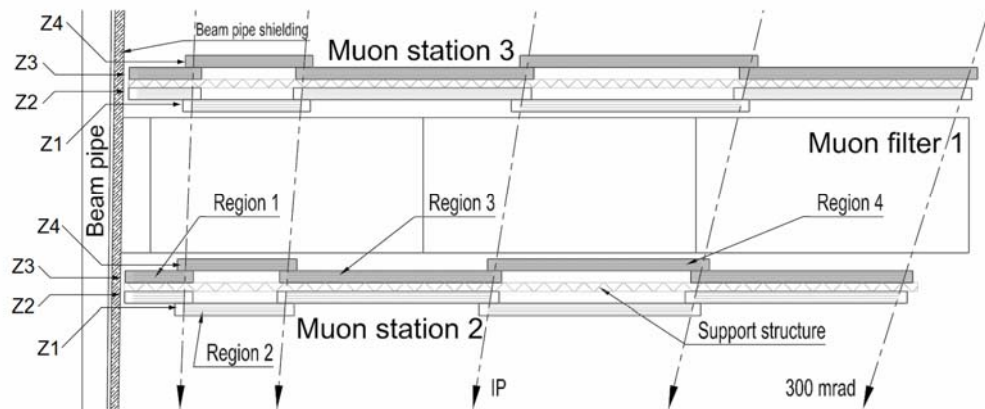


Figura 3.6: Vista parziale del sistema di muoni nel piano $y=0$. Le frecce indicano il punto d'intersezione. Si noti che, in alcuni casi, la traccia attraversa più d'una pad.

Parametri	Valori di progetto
Gap di gas	5 mm
Spaziatura dei fili	1.5 mm
Diametro dei fili	30 μm
Tensione di lavoro	3.0÷3.2 kV
No. di gap	4
Miscela di gas	Ar / CO ₂ / CF ₄ (40:50:10)
Ionizzazione primaria	$\approx 100 \text{ e}^-/\text{cm}$
Guadagno del gas	$\approx 10^5$
Soglia	$\approx 3 \text{ fC}$
Carica su 5 mm di traccia	$\approx 0.8 \text{ pC}$

Tabella 3.4: Parametri principali del rivelatore MWPC.

Nelle regioni R1 e R2 di M1 si pensa di utilizzare un rivelatore composto di tre strati di GEM [19].

Un rivelatore GEM (Gas Electron Multiplier) è costituito da un foglio di kapton, un polimero con una bassa costante dielettrica quindi molto isolante, dello spessore di 50 μm , rivestito su entrambi i lati da un sottile strato di rame dello spessore di 5 μm e perforato in superficie con un'alta densità di canali (fig 3.6).

Tra i due strati di rame è applicata una differenza di potenziale di 500 Volt producendo così un campo elettrico di 100 kV/cm all'interno dei canali. Tale struttura è posta in una gap di gas fra un catodo e le pad anodo. Gli elettroni creati dal passaggio di particelle ionizzanti nel gas, pilotati dal campo elettrico, vengono diretti verso i GEM dove l'alto campo all'interno dei canali provoca un effetto a valanga moltiplicando il numero degli elettroni nel canale. Infine, gli elettroni secondari prodotti da quest'effetto, vengono rivelati dalle pad sottostanti. Tale struttura permette un guadagno nell'ordine di $10 \div 100$.

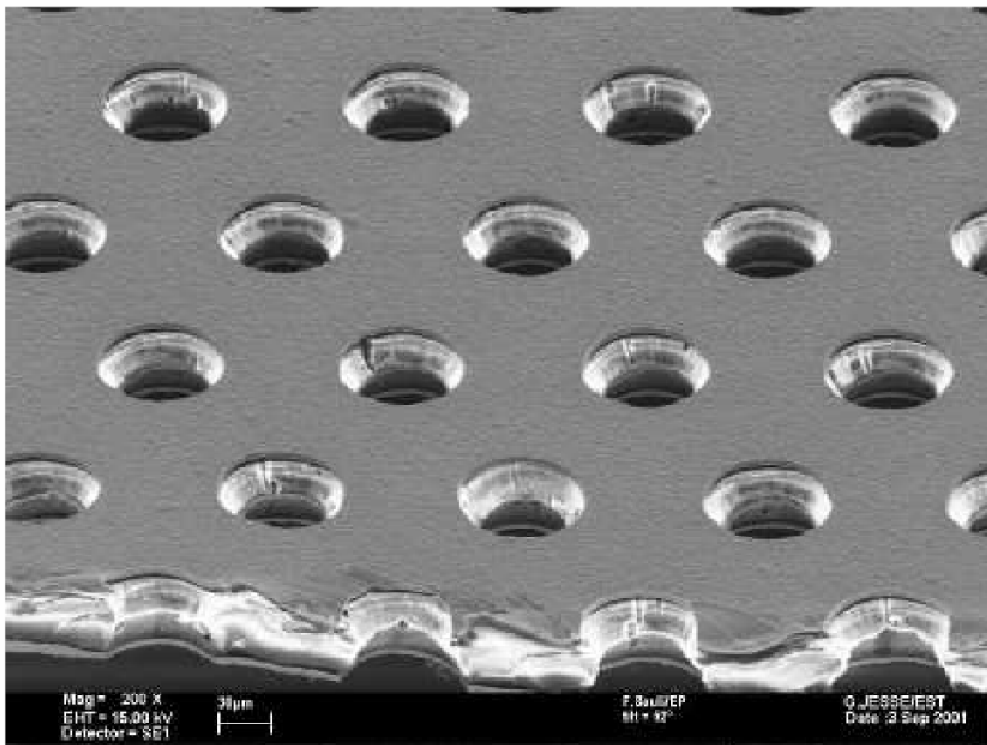


Figura 3.6: Superficie d'uno strato dei rivelatori GEM.

L'utilizzo d'un triplo strato di GEM e d'una miscela di gas composta di Ar, CO₂ e CF₄ nel rapporto 60/20/20 ha permesso di ottenere un'efficienza del 90% considerando una finestra temporale di 20 ns e quindi in buon accordo con le caratteristiche richieste in LHCb.

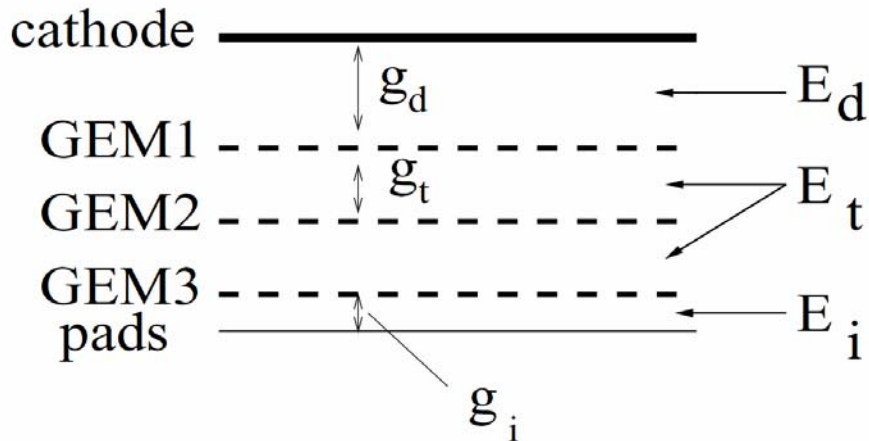


Figura 3.7: Schema delle gap d'un rivelatore GEM a tre strati con catodi pads.

3.2. Come avviene il trigger di livello zero

L'identificazione d'un muone avviene cercando gli hit corrispondenti nelle cinque stazioni. In particolare le prime tre necessitano d'una risoluzione maggiore perché, dagli hit di tali stazioni, si ricava la traiettoria della particella rispetto al centro del fascio. Dall'angolo che questa forma con la congiungente al punto d'intersezione si può risalire al momento trasverso del muone.

Il trigger di livello 0 seleziona muoni con p_t alto. Questo livello tratta in maniera indipendente i quattro quadranti cercando le tracce in ciascuno di essi mediante 12 unità di processo raggruppate in gruppi da quattro, nelle regioni R1, R3 e R4, e in gruppi da due in R2 come riportato in figura 3.8.

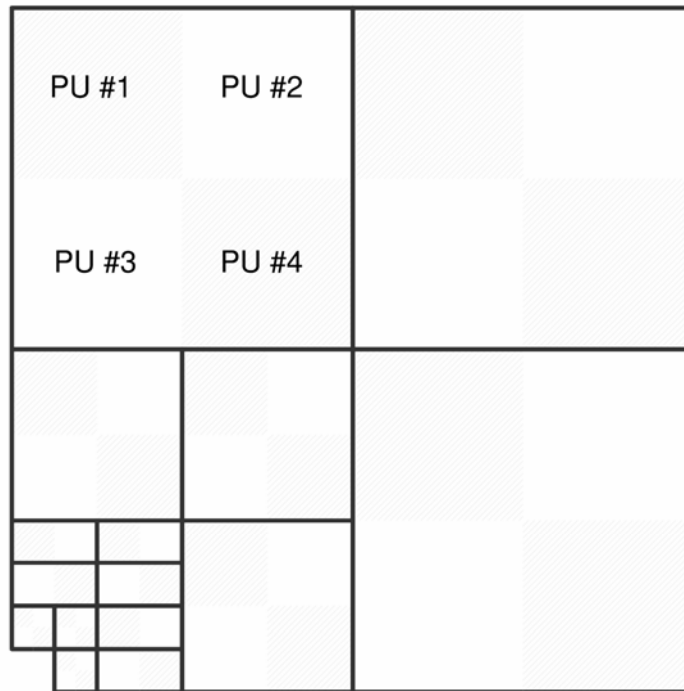


Figura 3.8: Divisione d'un quadrante in unità di processo.

Il processo di trigger avviene nel modo seguente: quando una particella colpisce una delle pad logiche della stazione M3 viene estrapolata la retta passante tra il punto d'intersezione e la pad colpita. Intorno a questa retta viene aperta una finestra nelle stazioni M2, M4 e M5, detta campo d'interesse (FOI), nella quale cercare le altre pad colpite (fig.3.9). Se, all'interno di tale finestra, almeno una pad per ogni stazione è stata colpita la traccia corrispondente è registrata e viene identificata la pad della stazione M2, fra quelle colpite, più vicina alla retta estrapolata. A questo punto si estrapola una nuova retta passante tra questa pad e quella colpita nella stazione M3, in modo da restringere ulteriormente la finestra di ricerca, e s'identifica la pad colpita della stazione M1 più vicina alla nuova retta.

Infine, utilizzando i dati relativi alla pad colpita nelle solo stazioni M1 e M2 viene ricostruita la traccia definitiva del muone.

Considerando la curvatura che la traiettoria subisce nel piano xz a causa del campo magnetico viene calcolato il momento trasverso p_t . Per ogni unità di processo viene eseguita la misura di p_t per un massimo di due tracce e, per ogni

quadrante, sono selezionate le due tracce con momento trasverso maggiore. L'informazione così ottenuta viene, infine, inviata all'unità decisionale.

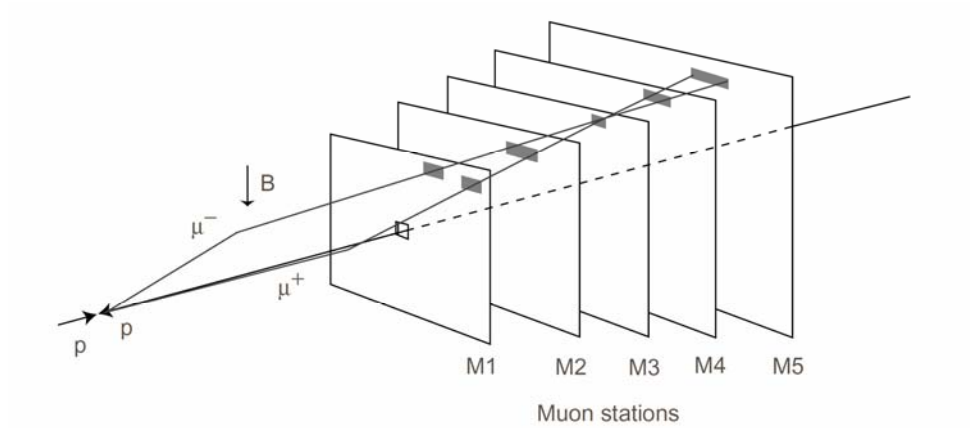


Figura 3.9: Ricostruzione della traccia di due muoni che colpiscono la stazione M3 nello stesso punto; sono evidenziate in grigio le FOI.

4. L'ambiente radioattivo del rivelatore LHCb e l'ambiente spaziale.

L'alta luminosità necessaria a LHCb ($\sim 2 \cdot 10^{12} \text{ cm}^{-2} \text{ s}^{-1}$), per ottenere una grande sezione d'urto per interazioni di particelle ad alta energia, fa sì che il prodotto della collisione dei due fasci sia un gran numero di particelle.

È chiara quindi la necessità di utilizzare per il controllo dell'apparato, per il tracking e per l'acquisizione dei dati, un'elettronica opportunamente qualificata ad operare in presenza di radiazioni.

Senza trascurare i danni strutturali dovuti a degradazione del silicio operata dal flusso di adroni, fonte principale di problemi per l'elettronica in ambiente di questo tipo è l'interazione con particelle ionizzanti che trasmettono energia al silicio dei dispositivi elettronici sotto forma di carica elettrica, modificandone istantaneamente lo stato [20](Single Event Effects o SEEs²) o cambiandone le caratteristiche elettriche [21](effetti da "Total Ionizing Dose" o TID³) [22].

È stato necessario, quindi, stimare il tipo e la quantità di particelle a cui saranno soggette le varie parti dell'apparato nei 10 anni stimati del suo funzionamento allo scopo di poter scegliere le opportune tecnologie da utilizzare.

Chiaramente il livello di radiazione ionizzante dipenderà sia dalla distanza del sistema che si considera dal punto di interazione fra i fasci, sia dal materiale interposto fra essi. Questo comporta che, la parte più interna al rivelatore, lavorerà in un ambiente caratterizzato da alto livello di radiazione ($> 1 \text{ Mrad}$) e richiederà l'impiego di tecnologie specifiche e di particolari tecniche di progettazione. I

² I SEE (Single Event Effects) sono quegli effetti, non cumulativi, dovuti al passaggio di una singola particella nel silicio del dispositivo elettronico. Particelle ionizzanti ad alta energia in maniera diretta e adroni con $E > \sim 20 \text{ MeV}$ tramite interazioni nucleari, possono depositare carica sufficiente a disturbare il funzionamento di un dispositivo. I SEE sono caratterizzati da una soglia d'energia trasferita sotto la quale non è possibile osservarne, e da una sezione d'urto.

³ La dose totale (TID) causa principalmente il cambiamento delle tensioni di soglia dei transistor MOS dei dispositivi elettronici a causa di accumulo di carica nel diossido di silicio che separa il gate dal resto del transistor. La dose totale viene misurata in rad (Radiation Absorbed Dose). Il rad è stato sostituito dal gray nel Sistema Internazionale d'unità di misura. (1 Rad = 0,01 gray = 0,01 joule di energia assorbiti per chilogrammo).

requisiti richiesti nelle altre zone del rivelatore, e nella caverna dove è situato, saranno meno impegnativi da soddisfare e permetteranno l'utilizzo di componenti "COTS" (*Commercial Off-the-Shelf*), cioè di componenti commerciali, non progettati per utilizzo in ambiente esposto a radiazione ionizzante. È necessario stabilire quali, fra i componenti commerciali, sono di possibile utilizzo per l'elettronica del rivelatore. Questa scelta può essere effettuata sottoponendo i componenti scelti a test di qualificazione, in cui si studia il comportamento del dispositivo irradiandolo con opportuni fasci di particelle, o cercando di scegliere da opportuni database di componenti già caratterizzati. Tipico ambiente di sviluppo per elettronica di questo tipo, con il quale scambiare sia tecnologie che liste di componenti qualificati è proprio l'ambiente spaziale dove diverse fonti di particelle ionizzanti (raggi cosmici, fasce di Van Allen, esplosioni solari) creano condizioni per molti aspetti simili a quelle in cui si troverà ad operare l'elettronica di LHCb. È utile descrivere e confrontare i due ambienti per capire quanto e come questo scambio di tecnologia sia possibile.

4.1. L'ambiente Spaziale

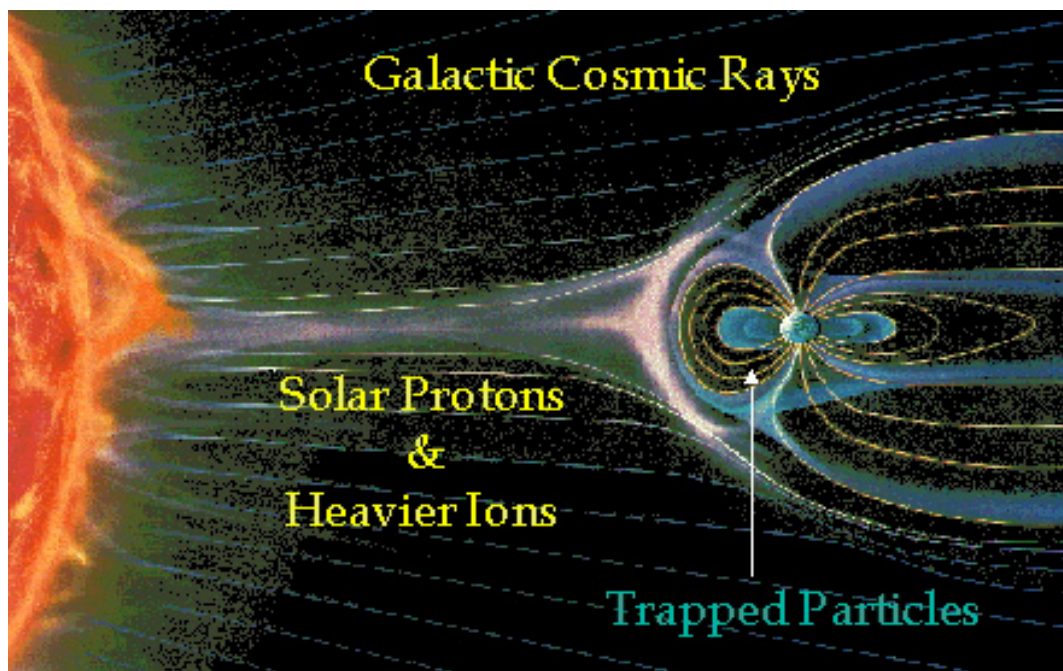


Figura 4.1: Rappresentazione delle particelle presenti nello spazio e della loro interazione con la magnetosfera.

Descrivere l'ambiente spaziale in termini della radiazione ionizzante che lo caratterizza può essere molto complesso, visto la varietà e la natura non costante delle fonti di radiazioni ionizzanti che lo caratterizzano, e non è intenzione di questo lavoro analizzarlo in maniera approfondita [23][24][25][26].

Per descrivere brevemente l'ambiente spaziale si possono distinguere tre fonti di particelle ionizzanti:

- Ioni pesanti intrappolati nel campo magnetico terrestre
- Protoni e elettroni intrappolati nelle fasce di Van Allen
- Raggi cosmici
- Protoni e ioni pesanti provenienti dai “flares” solari

Gli **ioni pesanti intrappolati nel campo magnetico** terrestre non hanno energia sufficiente per generare effetti di ionizzazione che possano causare SEEs e, per lo stesso motivo, non danno un contributo significativo alla dose totale assorbita.

La Figura 4.2 raffigura le particelle intrappolate nelle **fasce di Van Allen**, e comprende una zona più esterna, occupata prevalentemente da elettroni con $E < 7$ MeV, e una zona interna, con protoni fino a $E < 500$ MeV.

Questa zona interna si estende fino a circa 2,5 raggi terrestri ($R_{\text{TERRA}} = 6371$ km) ed ha una forma pressoché costante, mentre quella esterna si estende da ~ 3 a $\sim 5,5$ raggi terrestri e ha una forma variabile nel tempo.

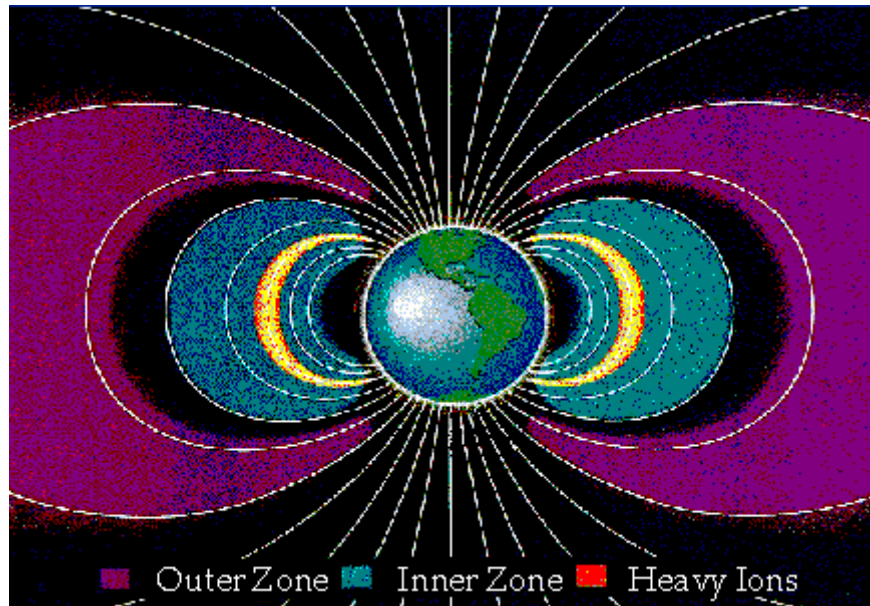


Figura 4.2: Fasce di Van Allen. Nella parte più esterna (Outer Zone) sono presenti prevalentemente elettroni con $E < 7$ MeV. La corona interna (Inner Zone), invece, è composta da protoni con $E < 400$ MeV.

Vista la loro bassa energia gli elettroni non sono causa di effetti da particella ionizzante nei dispositivi che si trovano nella zona esterna.

L'energia dei protoni intrappolati è approssimativamente proporzionale all'inverso dell'altitudine, cioè i protoni a più alta energia sono quelli più vicini alla terra.

Anche il flusso delle particelle è inversamente proporzionato all'altezza e ha un picco per i protoni a più bassa energia.

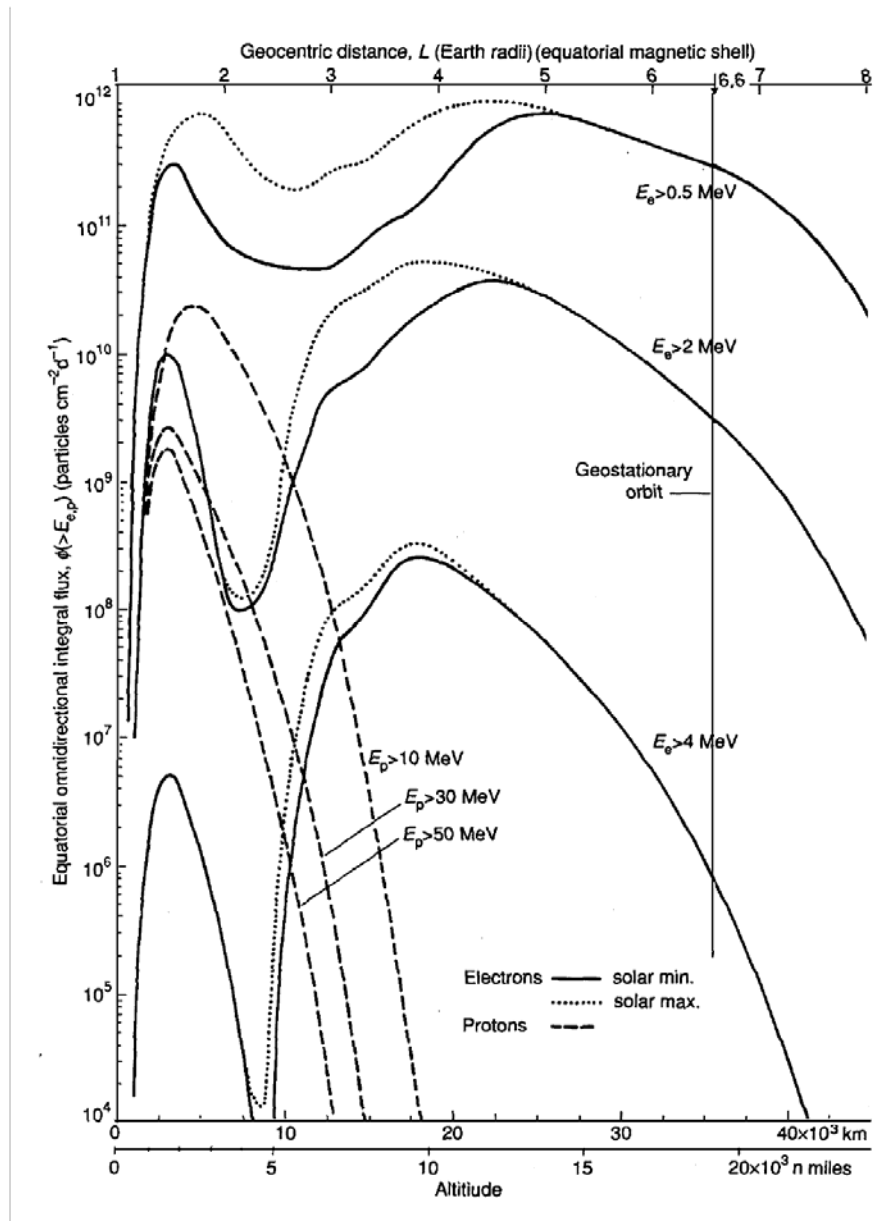


Figura 4.3: Andamento qualitativo dei flussi di particelle nelle fasce di Van Allen

La radiazione dovuta ai **raggi cosmici** classificata in primaria e secondaria. La radiazione primaria è dovuta alle particelle di origine solare o cosmica che viaggiano nello spazio ed è composta essenzialmente da ioni pesanti con energia fino al TeV e flusso molto basso. La composizione dei raggi cosmici è data dall'85% di protoni (H), dal 14% di particelle alpha (He) e dall'1% da tutti gli altri nuclidi, anche se ioni con $Z < 26$ (Fe) sono rari.

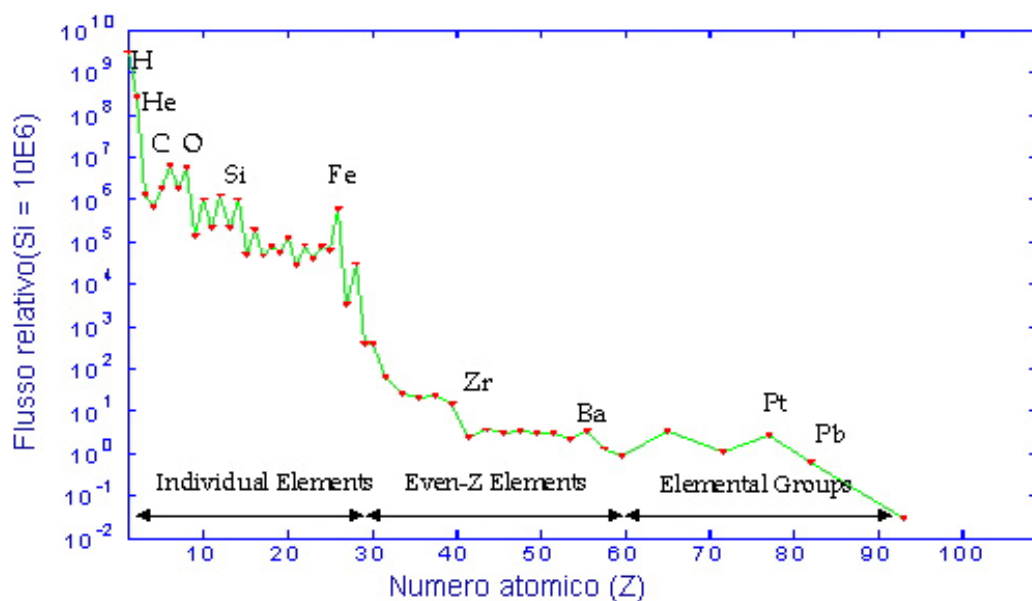


Figura 4.4: distribuzione degli elementi chimici nella radiazione cosmica normalizzata al silicio.

Il campo magnetico terrestre costituisce uno scudo naturale a questo tipo di radiazione e quindi il suo contributo dipende fortemente dall'inclinazione dell'orbita e, in secondo luogo, dall'altitudine : infatti se si passa sopra la regione polare le linee di forza del campo magnetico sono tali da far venir meno l'azione di schermo. La radiazione cosmica è causata dall'attività delle galassie di tutto l'universo e quindi è praticamente uniforme, mentre il suo flusso ha dei massimi e dei minimi inversamente proporzionali all'attività solare.

La radiazione secondaria invece è quella prodotta dalle collisioni fra le particelle che costituiscono la radiazione primaria e l'atmosfera terrestre.

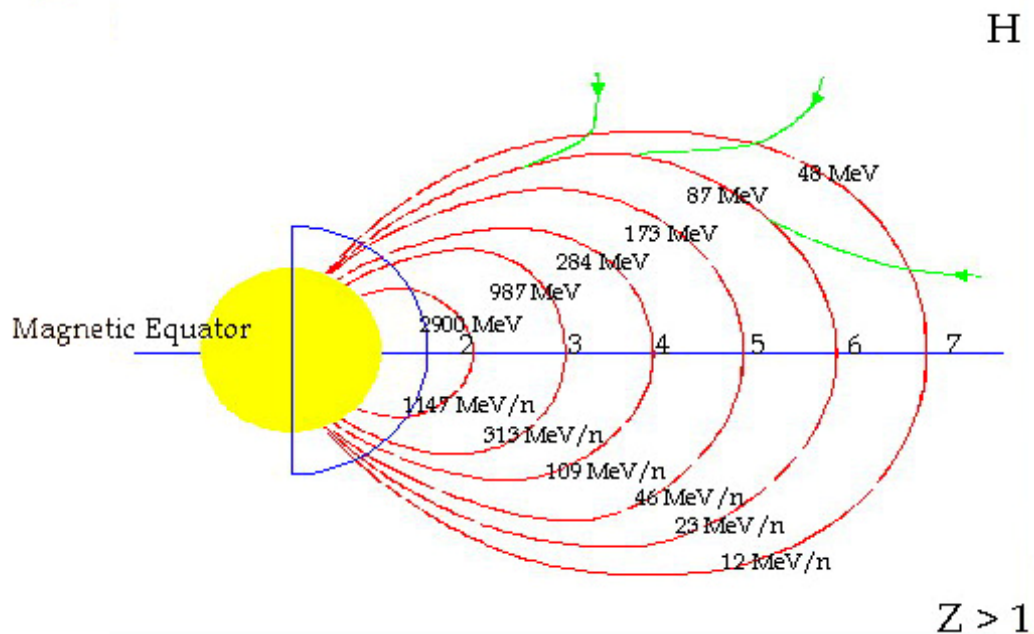


Figura 4.5: Energia richiesta per penetrare la Magnetosfera

I raggi cosmici hanno un flusso molto più piccolo rispetto a quello delle particelle intrappolate nella fascia di Van Allen ma la loro alta energia rende molto difficile schermare i dispositivi contro di esse.

La radiazione dovuta ai “**Flares**” solari è provocata da esplosioni che avvengono durante le tempeste solari. Esse Provocano una forte emissione di

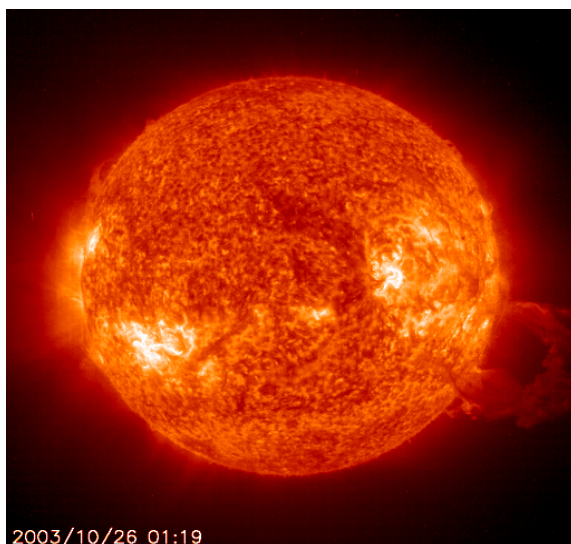


Figura 4.6: Flare solare.

particelle di cui il 90% è composto da protoni e il resto da particelle alpha, ioni pesanti e elettroni, con energie fino a diverse centinaia di MeV. La caratteristica principale di questo fenomeno è che la sua durata e la sua intensità dipendono dal ciclo dell'attività solare che dura circa 11 anni 4 anni di massima attività e 7 di minima. Anche se le particelle dovute a questa sorgente di radiazione sono

mediamente meno energetiche di quelle intrappolate nelle fasce di Van Allen, esse

possono avere un flusso molto grande durante la massima attività solare (flusso totale di protoni fino a $\sim 2 \cdot 10^{10}$ protoni/cm²) e pesare notevolmente sulla dose totale.

4.2. L'ambiente del rivelatore LHCb

Considerato il grande intervallo di energie coperto da LHC è difficile descrivere in maniera esaustiva l'ambiente in cui il rivelatore LHCb si viene a trovare. Si può cercare di dare un'idea di questo ambiente [27] studiando i meccanismi di produzione di particelle ionizzanti in un acceleratore di particelle.

La principale fonte di particelle ionizzanti saranno le interazioni fra i 2 fasci che daranno origine a un gran numero di particelle di varia natura. Chiaramente il fascio di particelle prodotte avrà una concentrazione delle particelle più energetiche nella perpendicolare ai fasci passante per il punto di interazione, mentre si avranno particelle via via meno energetiche ad angoli più grandi. Inoltre, essendo LHCb composto di una serie di sub-rivelatori in cascata, e da diversi stadi di schermatura in ferro necessari per il trigger di particella con alta energia ($>5\text{GeV}$), man mano che ci si allontana dal punto di interazione scenderà sia l'intensità che l'energia delle particelle. Questa sorgente di radiazione sarà senza dubbio la più importante per tutte le parti interne del rivelatore e il suo contributo alla dose totale sarà superiore di alcuni ordini di grandezza a quello di effetti secondari.

Per le zone esterne al rivelatore sarà rilevante il contributo di altri due canali di produzione di particelle ionizzanti, cioè le interazioni dei fasci con le particelle residue nei canali a vuoto dell'anello di accumulazione e del rivelatore e le particelle prodotte dalle collisioni fra le particelle e i materiali di schermatura.

Il fondo di radiazione che interesserà il rivelatore di LHCb [29] e la caverna dove è situato (Figura 4.7), è stato stimato con i software di simulazione FLUKA [30] e MARS, mappando, per l'intero apparato e ogni sottosistema, la dose totale assorbita e il flusso di elettroni/positroni, neutroni e adroni carichi.

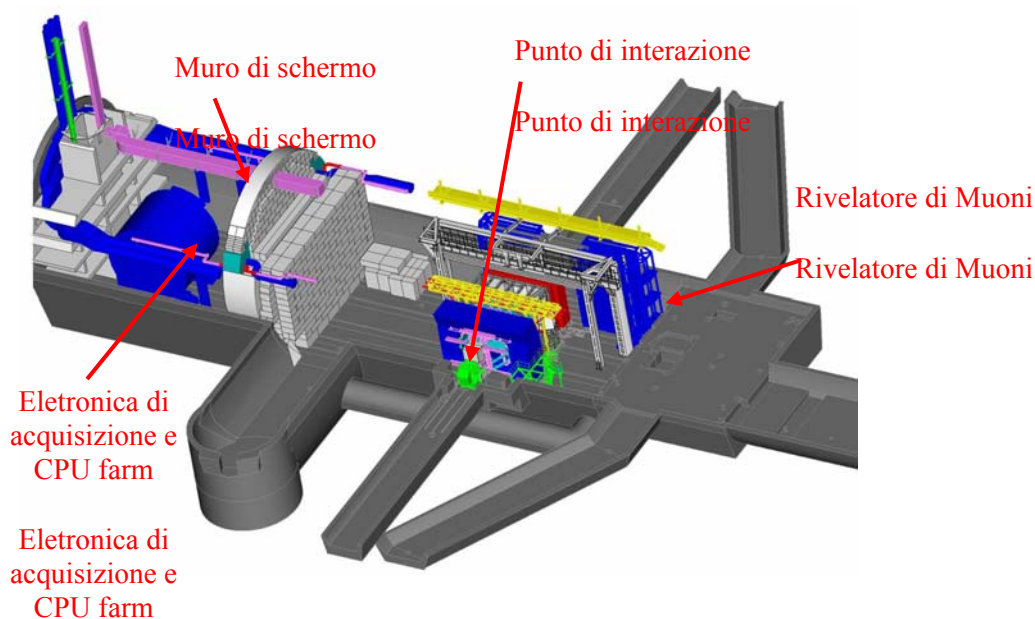


Figura 4.7: Posizione del rivelatore di LHCb e del rivelatore di muoni all'interno della caverna dell'esperimento.

In Figura 4.8 sono riportati questi valori di flusso integrale, per le particelle d'interesse, per una sezione longitudinale ($x=0$). I valori sono normalizzati sul numero di collisioni p-p utilizzato nella simulazione e quindi il per calcolarne il valore totale per un certo periodo di tempo vanno rapportati al numero di eventi aspettato. Alla luminosità nominale di LHCb, $2 \cdot 10^{32} \text{cm}^2 \text{s}^{-1}$, sono aspettate $1,6 \cdot 10^7$ collisioni l'anno.

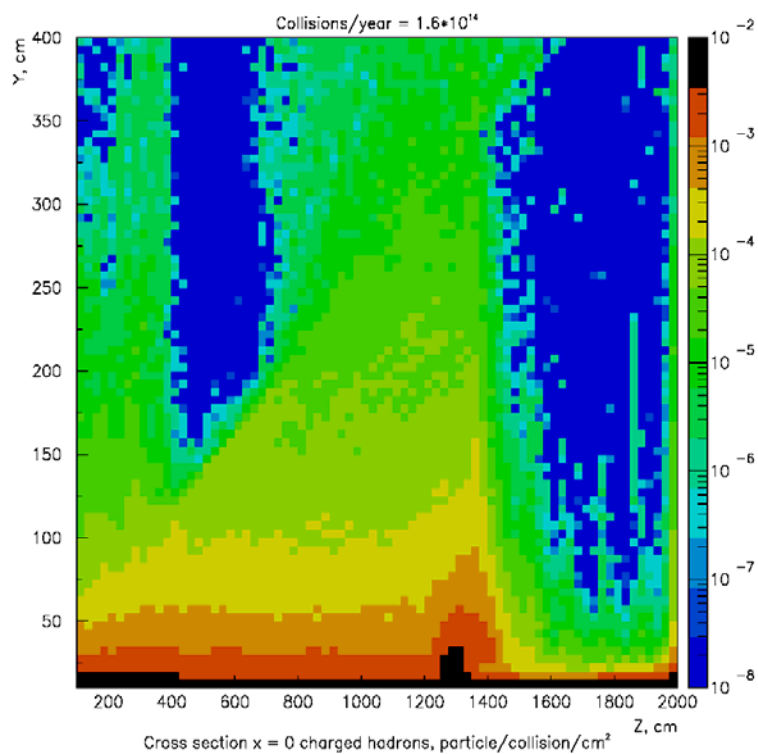


Figura 4.8: Flusso totale di adroni carichi per una sezione longitudinale del rivelatore di LHCb

Gli adroni carichi sono le particelle che danno il principale contributo alla dose totale e sono i maggiori responsabili di SEE. Essi sono principalmente creati dall'interazione dei fasci di protoni. Proprio per questo motivo la loro distribuzione è fortemente piccata intorno all'asse del fascio delle particelle prodotte e decresce man mano che ci si allontana da esso. Inoltre il loro flusso diminuisce notevolmente, quando giunge alla seconda stazione del rivelatore di muoni, a causa della schermatura dei filtri di ferro utilizzati.

Il flusso di adroni carichi ha uno spettro di energie molto ampio (fino a centinaia di GeV) così come è varia la sua composizione. Le particelle a più alta energia sono principalmente pioni⁴ di vario genere mentre quelle a più bassa energia protoni.

⁴ In fisica delle particelle, pione è la forma abbreviata del nome mesone Pi; questa particella subatomica esiste in tre forme: pi-zero (π^0), pi-più (π^+) e pi-meno (π^-) ed è composta da una coppia quark-antiquark di prima generazione (up e down). I mesoni Pi sono i mesoni più leggeri.

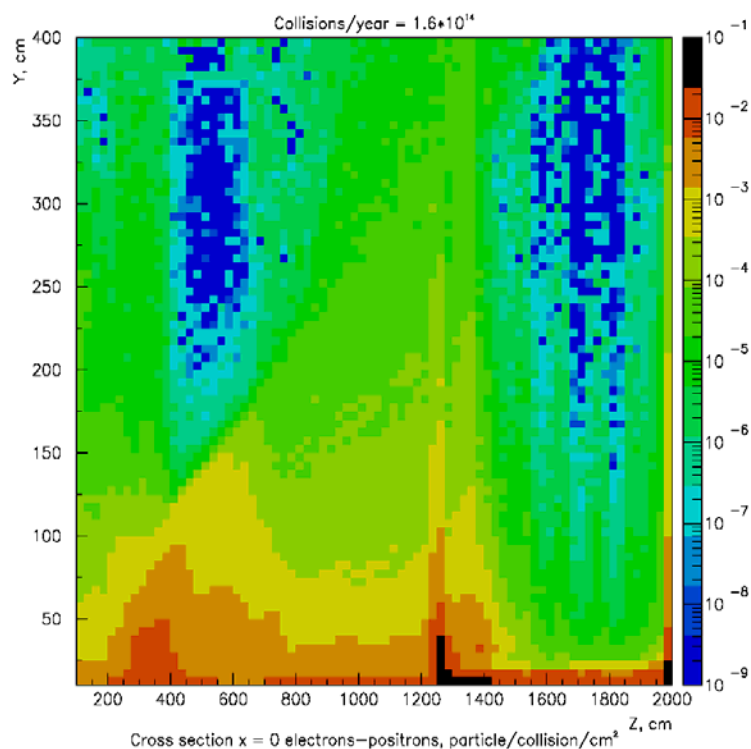


Figura 4.9: Flusso totale elettroni e positroni per una sezione longitudinale del rivelatore di LHCb

Il flusso di elettroni e positroni è invece dovuto principalmente alle creazione di sciame elettromagnetici lungo il canale del fascio e all'entrata dei calorimetri. Analogamente a quanto accade per gli elettroni intrappolati nella fasce di Van Allen, anche qui lo spettro delle energie di queste particelle copre un intervallo di energie piuttosto basso e il loro contributo alla dose totale può essere trascurato mentre il contributo al numero di SEE è praticamente nullo.

In Figura 4.10 e Figura 4.11 sono riportate le mappe della distribuzione della dose totale, sempre normalizzata sul singolo evento, per un sezione trasversale e longitudinale del rivelatore e per la caverna dove è situato.

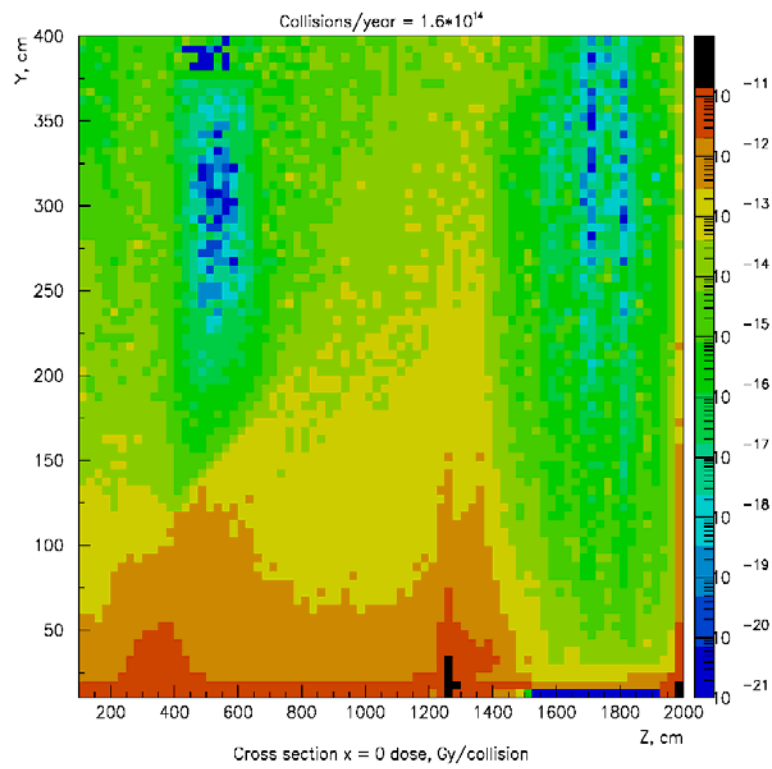


Figura 4.10: Dose totale per una sezione longitudinale del rivelatore di LHCb

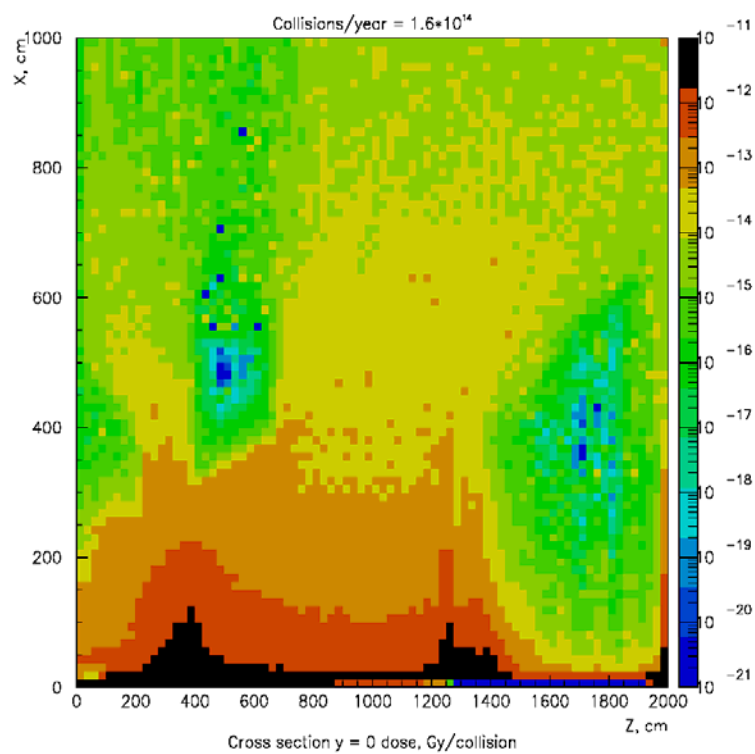


Figura 4.11: Dose totale per una sezione trasversale del rivelatore di LHCb

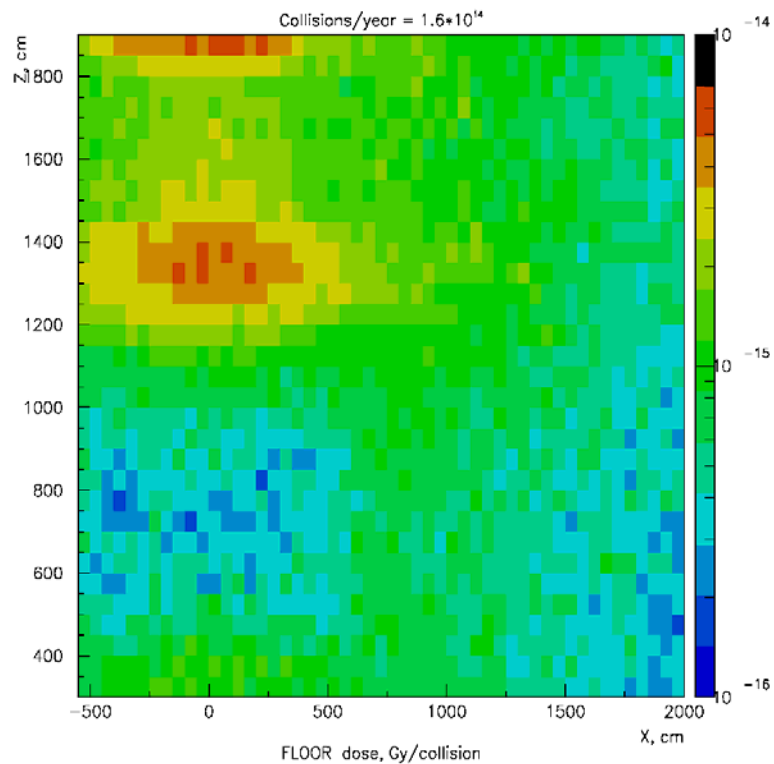


Figura 4.12: Dose totale nella caverna del rivelatore di LHCb

Volendo fare un'analisi più dettagliata della dose totale cui sarà esposto il rivelatore di muoni dell'esperimento LHCb, bisogna considerare che ogni stazione, tranne M1, è schermata da un filtro di ferro. L'effetto di questi filtri sul livello di radiazione ionizzante è mostrato in Figura 4.13.

La stazione M1 invece è posta davanti ai calorimetri e subisce una dose totale molto più alta delle altre stazioni. In Figura 4.15 e Figura 4.14 sono riportate, come esempio, le mappe ottenute per M1 e M3.

L'elettronica del rivelatore di muoni sarà disposta al suo interno delle camere per i muoni, per quanto riguarda l'elettronica di front-end, e subito fuori da esse in appositi rack, per l'elettronica del sistema di controllo e di acquisizione dati. Secondo la posizione essa sarà esposta ad una dose totale da $\sim 1\text{Mrad}$ a $\sim 10\text{Kad}$. In Tabella 4.1 sono riportate le dosi previste per le 5 stazioni per i muoni e per la loro elettronica.

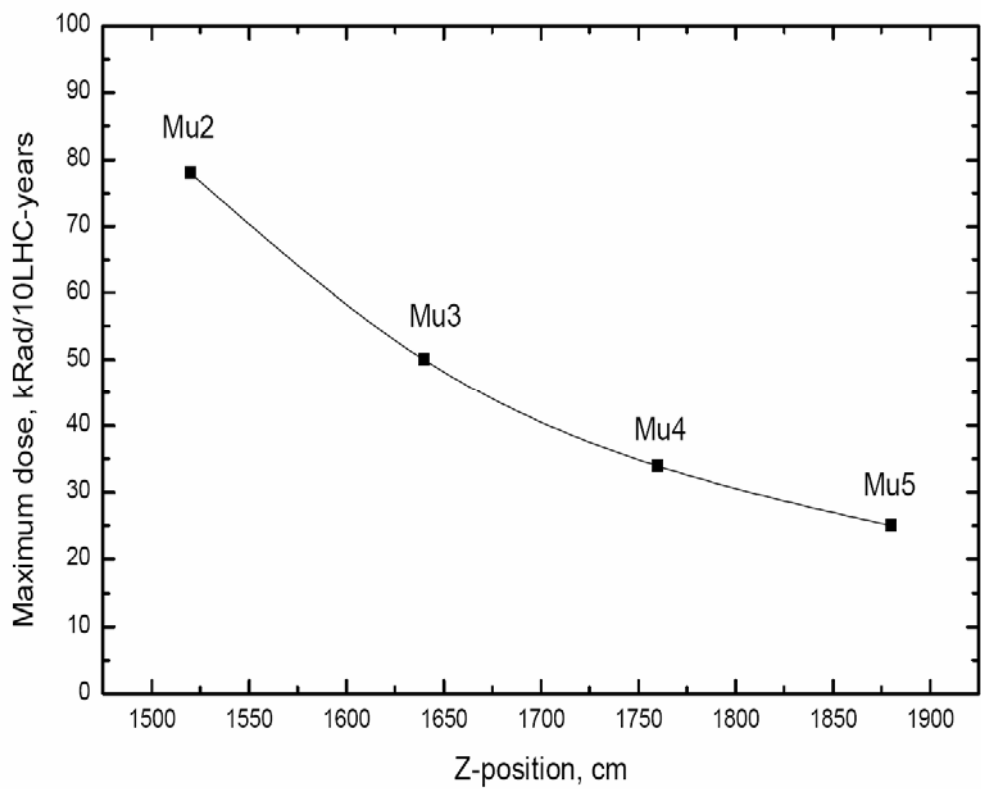


Figura 4.13; attenuazione della dose totale (massima) causata dai filtri di ferro fra le 5 stazioni del rivelatore di muoni di LHCb

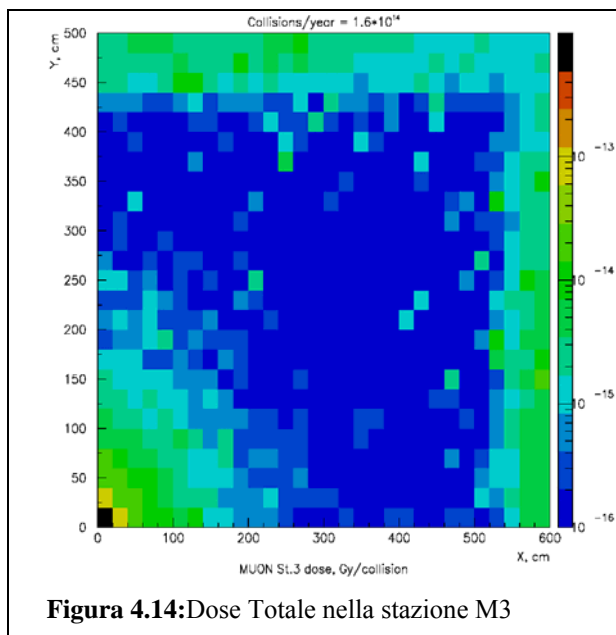


Figura 4.14:Dose Totale nella stazione M3

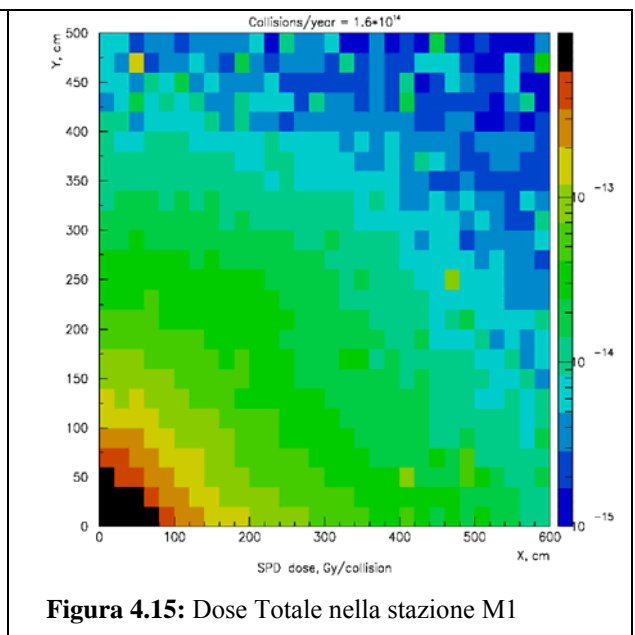


Figura 4.15: Dose Totale nella stazione M1

<i>Sub-system</i>	<i>x (m)</i>	<i>y (m)</i>	<i>z (m)</i>	<i>Total dose (Rad) (10 years)</i>	<i>Hadrons >20 Mev (10years)</i>
M1 FE	- 3.85<x<3.85	-3.2<y<3.2	12.15	max = 462*10 ³ ave = 28*10 ³	1.1*10 ¹³ 4.2*10 ¹¹
M1 ECS	4	-1<y<1	12.5	max = 7.9*10 ³ ave = 7.0*10 ³	5.0*10 ¹⁰ 4.3*10 ¹⁰
M2 FE	-4.8<x<4.8	-4.0 <y<4.0	15.2	max =155*10 ³ ave = 28*10 ³	1.1*10 ¹³ 1.2*10 ¹¹
M2 ECS	5	-1 <y< 1	15.2	max = 2.2*10 ³ ave =1.7*10 ³	1.9*10 ¹⁰ 1.8*10 ¹⁰
M3 FE	-5.2 <x< 5.2	-4.3 <y< 4.3	16.4	max = 99*10 ³ ave =1.0*10 ³	9.8*10 ¹² 7.7*10 ¹⁰
M3 ECS	5.5	-1 <y<1	16.4	max = 680 ave = 580	7.9*10 ⁹ 7.3*10 ⁹
M4 FE	- 5.55<x<5.55	- 4.65<y<4.65	17.6	max =68*10 ³ ave = 630	9.4*10 ¹² 6.3*10 ¹⁰
M4 ECS	6	-1 <y< 1	17.6	max = 390 ave = 180	5.3*10 ⁹ 2.6*10 ⁹
M5 FE	-5.95<x< 5.95	-4.95 <y<4.95	18.8	max = 49*10 ³ ave = 640	9.8*10 ¹² 6.3*10 ¹⁰
M5 ECS	6.5	-1 <y<1	18.8	max = 320 ave = 130	4.5*10 ⁹ 4.3*10 ⁹

Tabella 4.1: Dose Totale per le stazioni M1-M5 e la loro elettronica.

4.3. Scambio di tecnologie

Un confronto tra l'ambiente spaziale e quello di LHCb in termini di dose totale di radiazione ionizzante è riportato in Figura 4.16 [31].

Quanto detto nei paragrafi precedenti mette in luce che l'ambiente spaziale e quello in cui dovrà operare il rivelatore di LHCb, anche se per molti aspetti molto diversi, hanno richieste simili riguardo allo sviluppo e all'utilizzo di elettronica resistente alla radiazione ionizzante. È chiaro che l'ambiente radioattivo nella regione esterna del rivelatore e, in particolare, nella zona dove è situata l'elettronica di controllo, è molto simile all'ambiente spaziale. Questo favorisce uno scambio di tecnologia e, più semplicemente, d'elenchi di componenti

“COTS” qualificati e di protocolli di qualificazione, nella progettazione di elettronica per LHCb e per le applicazioni e i rivelatori per lo spazio.

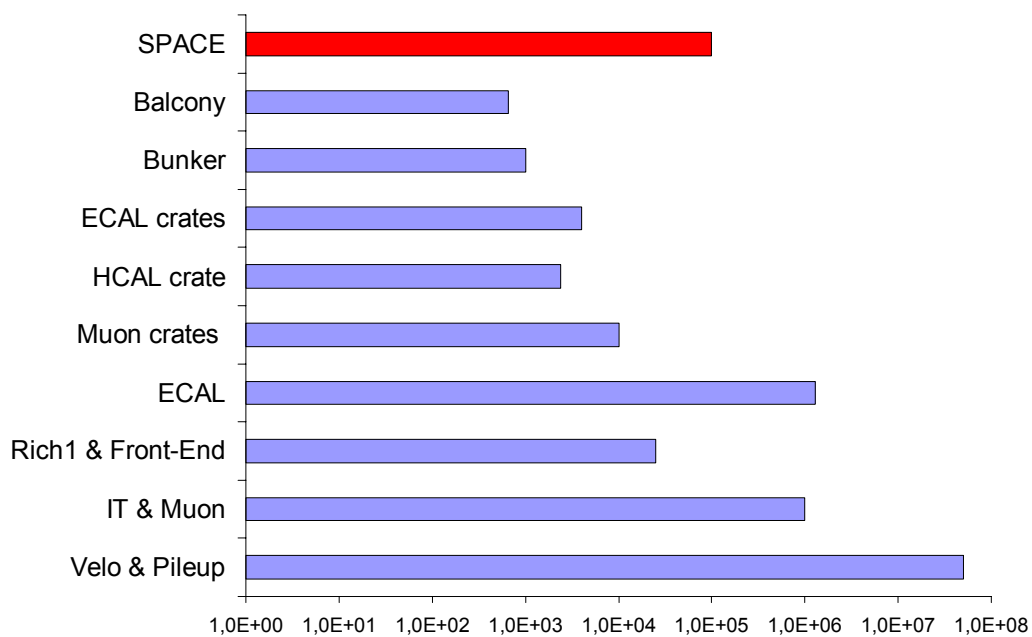


Figura 4.16: Confronto fra i livelli di dose totali delle varie parti di LHCb e i valori tipici nelle principali applicazioni spaziali

5. L'elettronica del rivelatore di muoni.

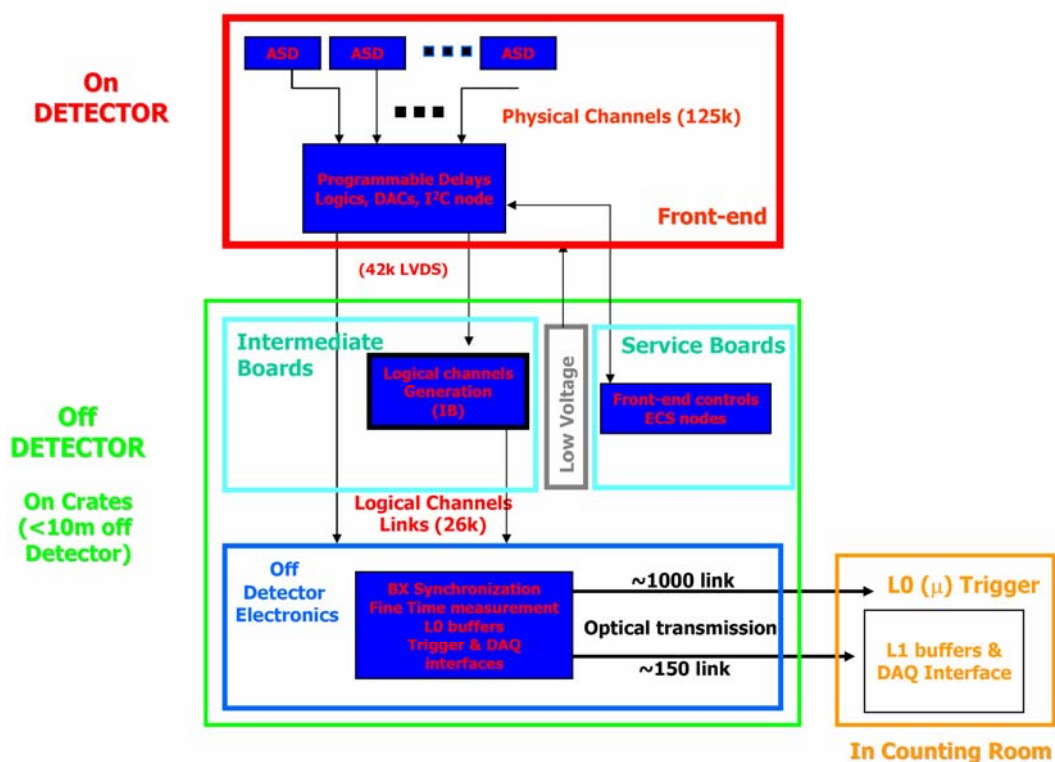


Figura 5.1: Schema dell'elettronica del rivelatore. Possiamo distinguere tre livelli logici dell'elettronica: la prima, facente parte delle camere stesse (rosso), è costituita dall'elettronica di front-end dove vengono acquisiti i canali fisici; la seconda (celeste) dove viene completata la formazione dei canali logici, la terza (in blu) dove i canali logici vengono trattati e resi disponibili per il trigger. Il sistema di controllo (ECS) fa da collante tra questi livelli.

In Figura 5.1 è riportata la struttura dell'elettronica di lettura del rivelatore di muoni.

In base alla posizione che l'elettronica occupa rispetto al rivelatore, e quindi in base alla distanza dalla traiettoria delle particelle, possiamo distinguere tre zone, diversamente esposte a radiazione ionizzante e con esigenze diverse dal punto di vista della progettuale.

La prima (rettangolo rosso) è sul rivelatore e comprende le schede di Front-End (FE), cioè quelle che, collegate direttamente ai canali fisici delle camere per i

muoni, permettono di formare i segnali secondo lo standard digitale richiesto e di combinarli tra loro partecipando alla creazione dei canali logici. L'elettronica di questa zona è soggetta ad un notevole assorbimento di radiazioni, a causa della vicinanza la fascio, che può essere stimata, in 10 anni di fisica di LHCb , da 50Krad, per la stazione M5, fino a 1 Mrad per M1. Qui è indispensabile adottare una tecnologia "rad-hard" particolarmente resistente agli effetti dovuti a radiazione ionizzante e progettata ad hoc per l'utilizzo in ambienti di questo tipo.

La seconda zona, in verde, è esterna al rivelatore, ma si trova fissata su di esso e comprende i racks dell'elettronica che contengono le IB (intermediate boards), i crate del "Services Boards System" e le schede ODE (off Detector Electronics).. Questa è la zona di maggior interesse per gli studi da me effettuati. L'elettronica collocata a questa distanza sarà esposta ad una dose totale di particelle ionizzanti (TID) di circa 10Krad nei 10 anni previsti di funzionamento del rivelatore. Si può classificare la tecnologia necessaria a sopportare questo livello di radiazione come "rad-tolerant". In quest'ambito non c'è necessità assoluta di utilizzare componenti rad-hard, spesso appositamente progettati e costosi, come per la zona del Front-End, ma è possibile accedere a molti componenti "COTS" (Commercial off-the-shelf), avendo cura di selezionare le tecnologie meno sensibili alla radiazione ionizzante e caratterizzando, qualora se ne presenti la necessità, il loro comportamento in questi ambienti.

L'ultima zona, in giallo, è situata nella "Counting Room", in una stanza lontana ~80 metri dal punto d'interazione fra i fasci e schermata da un muro. Essa comprende l'elettronica di trigger e d'acquisizione dati e i calcolatori che permettono di gestire il sistema. Qui la dose totale di particelle ionizzanti prevista nei 10 anni di funzionamento è inferiore ad 1Krad e non sono necessarie particolari accortezze nella realizzazione dell'elettronica, se non nei punti chiave del sottosistema [32].

La funzione principale dell'elettronica del rivelatore è quella di preparare l'informazione proveniente dalle stazioni M1-M5 per il trigger L0 e L1. Questo corrisponde ad organizzare i 156000 canali fisici in 26000 logici e marcare ogni

segnale ricevuto con il proprio “BX identifier”, un numero ad otto bit che lo associa al bunch crossing di cui fa parte.

È di fondamentale importanza che il primo passo di questo processo, vale a dire la riduzione dei canali fisici in logici, sia realizzata nello stadio più vicino al rivelatore, in modo da ottenere subito una diminuzione del numero dei canali, riducendo notevolmente la complessità e i costi di tutto l'apparato. Per fare un esempio, se i canali fisici non fossero messi in or nell'elettronica di front-end delle camere, sarebbero necessarie 888 Intermediate Boards (schede che ricevono parte dei canali fisici, cap. 5.2) nello stadio successivo, piuttosto che sole 168. Anche se questa scelta sembra la più ovvia, comporta due svantaggi non trascurabili. In primo luogo la riduzione dei canali determina necessariamente una perdita di ridondanza del sistema che non sarà accettabile nei punti chiave per la determinazione del momento trasverso delle particelle e in quelle zone soggette ad un flusso di particelle troppo elevato. Inoltre, se da una parte si hanno forti vantaggi, sia economici che progettuali, nella riduzione dei canali, dall'altra le tecnologie resistenti alle radiazioni necessarie per l'elettronica sulla camera annullano parte di questi vantaggi.

L'altro compito dell'elettronica del rivelatore, vale a dire l'assegnazione del corretto numero di bunch crossing ai segnali provenienti dai canale logici, richiede un processo d'allineamento temporale e di fase sia del rivelatore di muoni con i cicli dell'anello d'accumulazione, sia all'interno subdetector stesso: infatti, segnali provenienti da diversi canali fisici, compiono percorsi diversi all'interno del rilevatore e vanno sincronizzati e messi in fase tra loro, tramite ritardi programmabili, prima di essere inviati al trigger.

La formazione dei canali logici, partendo dai 120000 fisici in uscita dalle camere, è operata dal chip DIALOG (DIagnostics time Alignment end LOGics), appositamente realizzato per l'esperimento in tecnologia rad-hard “IBM 0.25 μ m”, che, tra le sue funzioni, ha quella di associare ad ogni canale logico un ritardo programmabile a 5bit utilizzabile per effettuare l'allineamento temporale e la messa in fase appena discussi [33].

Nelle regioni R3 e R4 delle stazioni M2-M5 e nella regione R2 di M4 e M5 si ha la necessità di unire canali fisici, provenienti da differenti schede di Front-End

e da differenti camere, per formare i canali logici. Questo lavoro è svolto dalle schede IB (Intermediate-Board).

L'informazione acquisita nei canali logici così formati è inviata alle schede ODE (Off-Detector Electronics), dove le viene assegnato il BX identifier (bunch crossing identifier) corrispondente all'evento che l'ha generata, per poi essere trasmessa al trigger di livello 0.

Altro elemento importante dell'elettronica del rivelatore è il sistema di controllo ECS (Experiment Control System). L'ECS è basato su un sistema di comunicazione CAN bus ed ha lo scopo di controllare, monitorare e comunicare con l'elettronica di front-end e le schede ODE. Questo scopo è raggiunto essenzialmente tramite 2 tipi di moduli, la Services Board, che permette il monitor e il controllo delle schede di FE attraverso diversi collegamenti I²C esterni, e il Pulse Distribution Module, che distribuisce alle Services Boards e alle schede di Front-End il clock macchina di LHC e i segnali necessari alla sincronizzazione.

Nel paragrafo successivo sarà data una breve descrizione delle singole strutture elettroniche menzionate, soffermandosi maggiormente sull'interfaccia ECS, sulle Services Boards e sul Pulse Distribution Module, vale a dire su quella parte dell'elettronica di maggiore interesse per le ricerche svolte durante il mio dottorato.

5.1. L'elettronica di Front-End

L'elettronica di Front-End è situata all'interno del rivelatore di muoni, ed è collegata direttamente alle uscite delle camere. Questo è il luogo più critico per quanto riguarda la dose di radiazione ionizzante ricevuta durante l'esperimento che, nelle zone più vicine al fascio di particelle, può arrivare fino ad 1 Mrad in 10 anni di fisica di LHCb. In questa zona è quindi necessario utilizzare componenti e tecnologie qualificate come "rad-hard".

La lettura dei segnali provenienti dalle camere è realizzata tramite 2 ASICs (Application Specific Integrated Circuit), appositamente sviluppati da *LHCb Muon Group* in tecnologia "IBM 0.25 μm rad-hard": il chip CARIOCA (Cern

And RIO Current Amplifier) ed il chip DIALOG (Diagnostic, time Adjustment and LOGics), quest'ultimo disegnato presso l'infn di Cagliari.

Il primo è un "Amplifier Shaper Discriminator" (ASD) a 8 canali, capace di processare i segnali analogici generati nelle camere per i muoni al passaggio di una particella e trasformarli in segnali digitali nello standard LVDS⁵, con una durata compresa tra i 50 ± 10 ns dipendente dalla forma del segnale in ingresso.

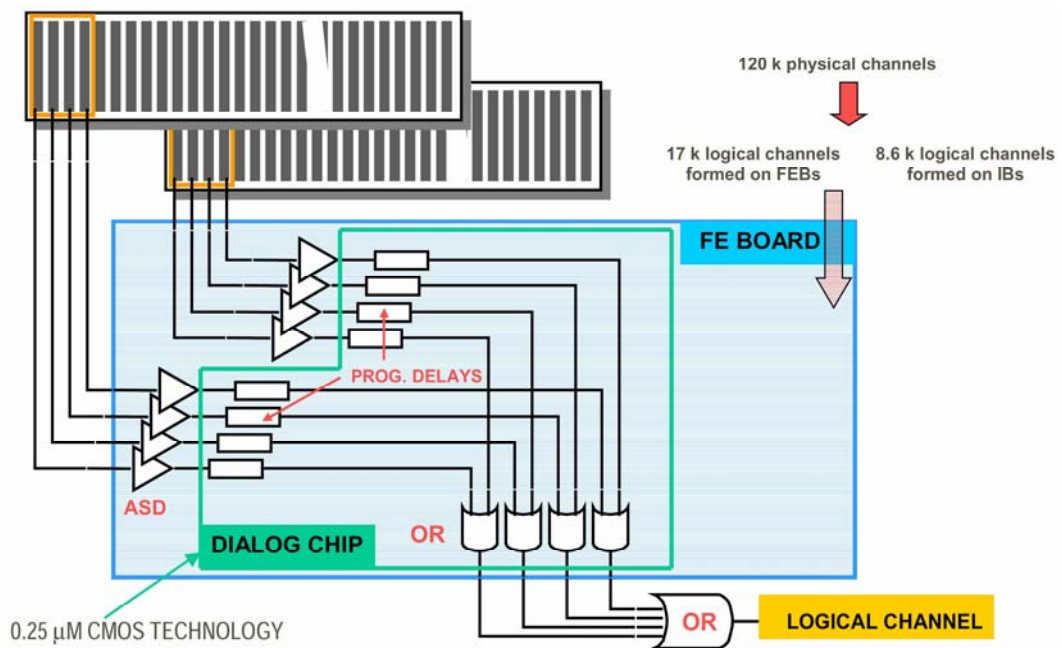


Figura 5.2: diagramma dell'elettronica di FE. I chip CARIOCA ricevono l'uscita delle camere formando i canali fisici (digitali) che vengono inviati al DIALOG chip (due CARDIAC per ogni DIALOG). Qui i canali fisici sono allineati temporalmente e messi in or per andare a formare i canali logici.

Il secondo, il DIALOG (Diagnostic, time Adjustment and LOGics), riceve i canali d'uscita dell'ASD e si occupa della generazione dei canali logici, fornisce le soglie di discriminazione del rumore per il CARIOCA e permette di ottimizzare l'allineamento temporale e la lunghezza dei segnali ricevuti.

⁵ Low Voltage Differential Signaling. E' un sistema di comunicazione differenziale basato cioè sulla differenza di potenziale tra due canali di trasmissione. E' un sistema studiato per dare un'alta velocità di trasmissione, dell'ordine dei Mbps, con una bassa dissipazione di potenza e poco rumore.

Per conservare la modularità ad otto, ogni DIALOG è dotato di 16 ingressi LVDS, così da poter servire due ASD.

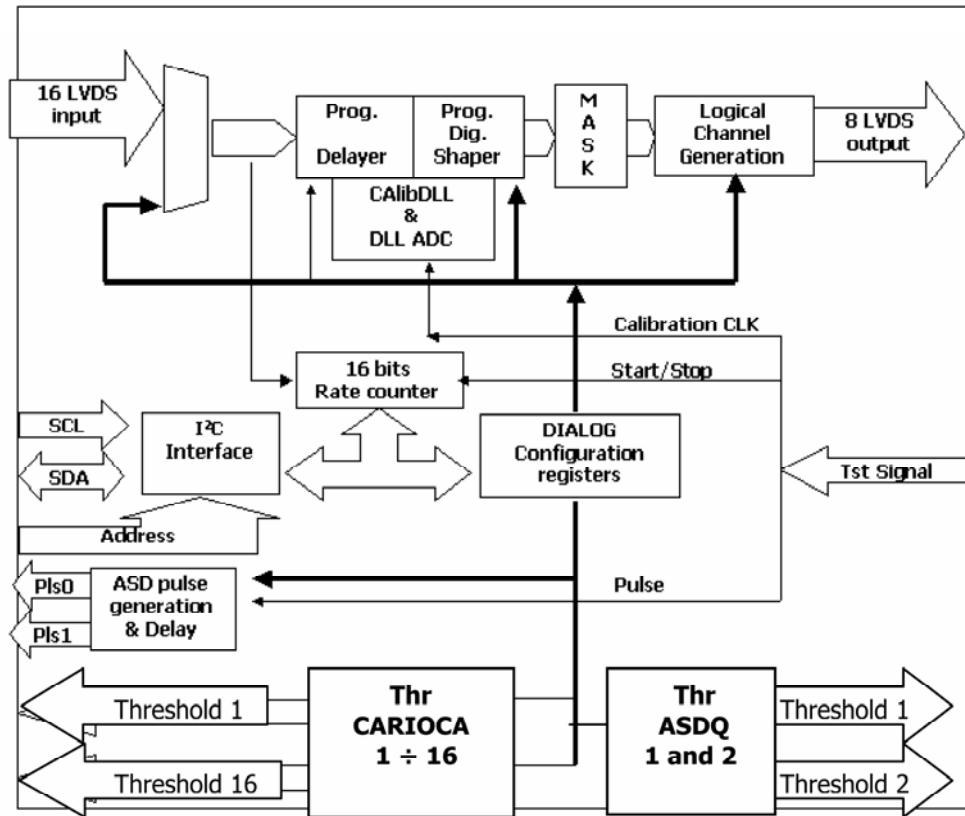


Figura 5.3: Diagramma del chip DIALOG.

Ogni segnale ricevuto è inviato ad un ritardo programmabile dove, agendo su dei registri a 5 bit, può essere ritardato fino a 50ns in passi da 1,5ns. Ognuno dei 16 ingressi LVDS può essere mascherato singolarmente tramite un registro a 16bit, in modo da permettere di isolare un singolo canale fisico per individuare eventuali malfunzionamenti. Il segnale viene poi modellato dal “digital shaper” ad una lunghezza inferiore a 25ns in modo da non sovrapporsi con quelli provenienti dal successivo bunch crossing. Infine più segnali sono messi in OR ottenendo fino ad otto Canali logici che vengono inviati direttamente alle schede ODE o alle IB. In particolare è possibile avere otto, quattro o due canali logici in uscita, a seconda della zona del rivelatore in cui ci si trova.

Ogni passo dei ritardi programmabili e dei *digital shapers* è regolato da un DLL⁶ che viene calibrato all'accensione tramite il clock principale di LHC diffuso dall'ECS.

Tramite 16 DAC (Digital to Analog Converter) indipendenti, uno per canale fisico, è possibile pilotare le soglie dei due CARIOCA collegati, agendo su altrettanti registri che forniscono una granularità di 8 bit in un range di tensione tra 0 e 1,5 Volt.

Il DIALOG inoltre fornisce diverse funzionalità di test per l'apparato di lettura delle camere, come un contatore a 24-bit per canale che, pilotato dalla Services Board, permette di contare gli hit ricevuti in una certa frazione di tempo, o un sistema di auto-iniezione di carica per il CARIOCA.

Nella Figura 5.3 è riportato il diagramma di flusso del DIALOG [34].

Due CARIOCA e un DIALOG sono montata su una singola scheda di Front-End che prende il nome di CARDIAC (CARIOCA DIAlog Connection).

Il controllo e il monitor dei CARDIAC sono gestiti dall'ECS tramite un'interfaccia basata su un protocollo I²C-like nello standard LVDS che permette la scrittura e la lettura di tutti i registri. È previsto l'uso di 7536 CARDIAC.

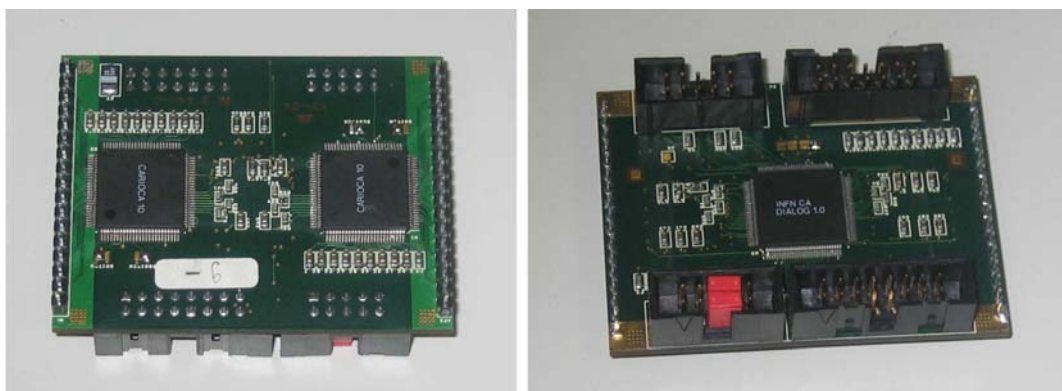


Figura 5.4: CARDIAC Board. A sinistra il lato rivolto verso le camere per i muoni, con 2 CARIOCA, uno per ogni lato. A destra il lato rivolto verso l'esterno, con al centro il DIALOG e i connettori per i "long I²C branches".

⁶ Delay Locked Loop. Circuito integrato a reazione negativa che mantiene costante il ritardo tra la frequenza del segnale di ingresso e quella generata dal clock interno

5.2. Le Intermediate-Board (IB).

Le IB [37], situate sul lato del rivelatore, completano la formazione dei canali logici fornendo un ulteriore livello di “OR” logici. Questo è necessario perché, alcuni canali logici, sono formati con canali fisici provenienti da camere diverse, in particolare dalla regione R2 di M4 e M5 e dalle regioni R3 e R4 di M2-M5 del rivelatore di muoni.

Nr logical/physical	M1	M2	M3	M4	M5
R1	576/576	336/336	336/336	288/288	288/288
R2	576/1152	384/672	384/480	168/288	168/288
R3	576/1152	336/1152	336/1152	120/576	120/576
R4	576/1152	336/1152	336/1152	120/1152	120/1152

Tabella 5.1: rapporto tra canali logici e canali fisici nei quadranti di ogni camera. Si noti che la riduzione maggiore dei canali avviene nelle zone interessate dalle IB.

Le IB sono schede molto semplici, composte di soli “OR” logici implementati in 3 FPGA Actel A54SX16A, e supportano fino ad un massimo di 192 ingressi e 64 uscite in standard LVDS. L’uscita delle IB, insieme ai canali logici già formati nei DIALOG, costituiscono l’ingresso per le schede ODE.

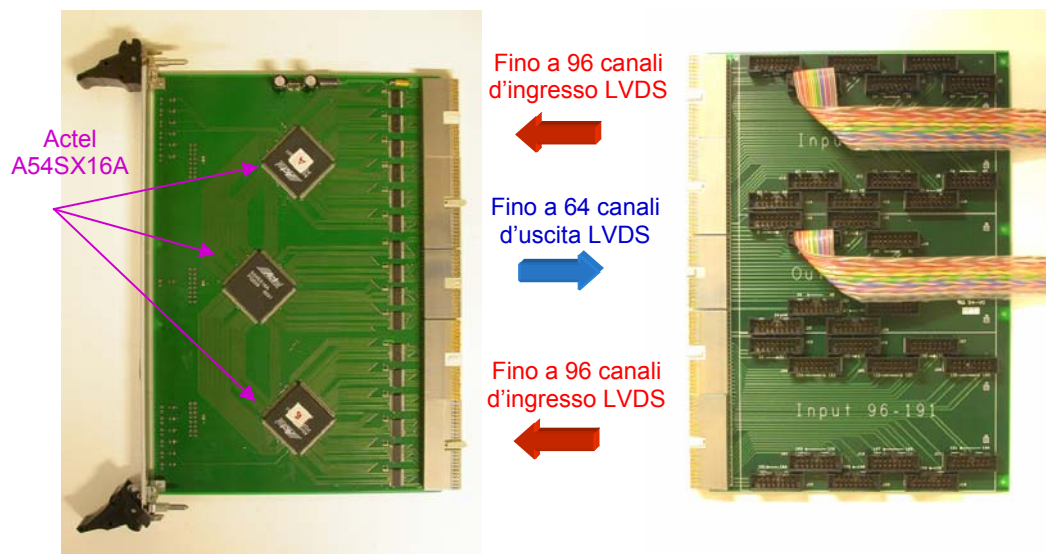


Figura 5.5: Le Intermediate-Board

5.3. Le schede ODE(Off Detector Electronics).

Il compito delle schede ODE [38] è quello di allineare i canali logici e renderli disponibili per il trigger di livello 0 e per il sistema di acquisizione dati (DAQ) [35].

Anche le pipeline di L0 sono inclusi in questa parte dell'elettronica.

Le ODE sono dotate di 192 ingressi LVDS, per ricevere i canali logici dal front-end o dalle IB, e dispongono di 13 link ottici a 1,6 Gbit/s: 12 per comunicare con il trigger di livello 0 e uno per trasmettere i dati opportunamente impacchettati alle schede TELL1 (Trigger ELectronics and L1 board) [39] esterne che contengono il buffer per il trigger di livello 1 e il sistema di acquisizione dati DAQ. La comunicazione con il sistema di controllo ECS è gestita da un modulo ELMB interno su interfaccia CAN.

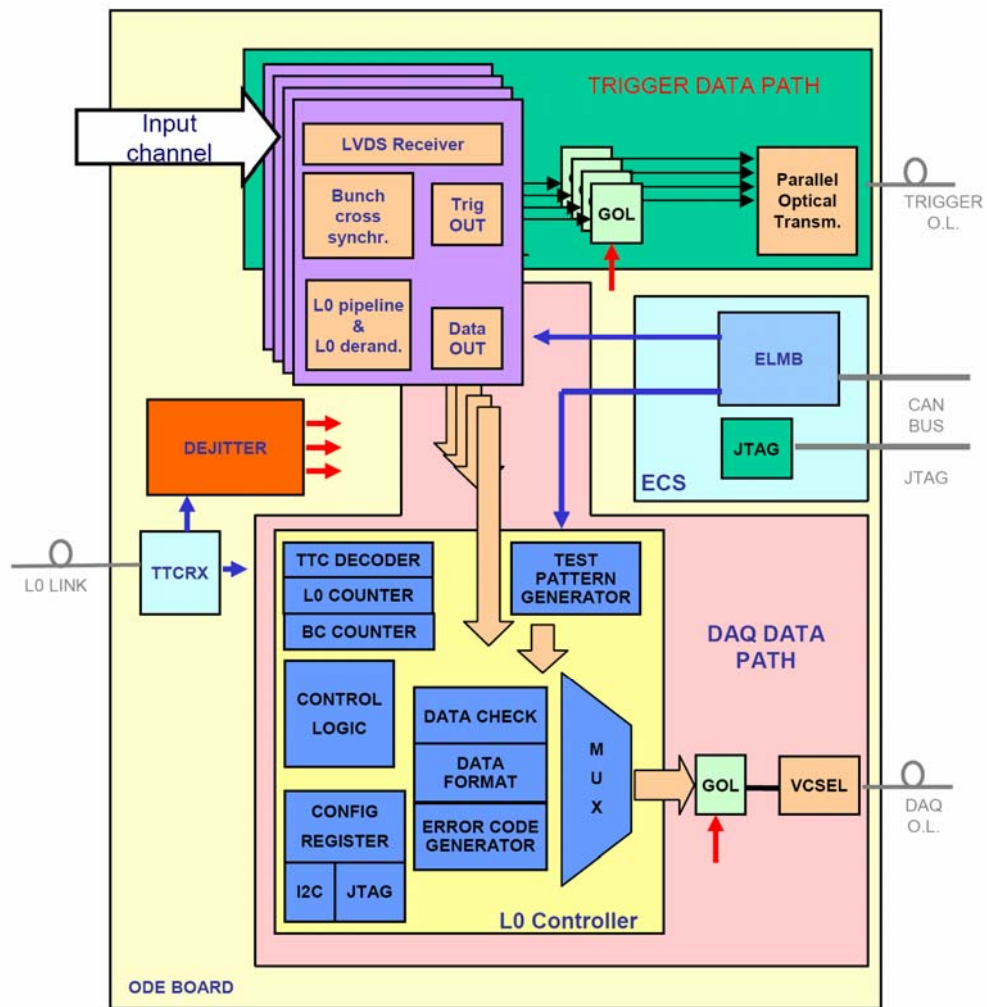


Figura 5.6: Diagramma di funzionamento delle schede ODE.

L'allineamento temporale dei canali logici è effettuato tramite 24 ASICs custom ad otto ingressi, detti "SYNC" [38], realizzati in tecnologia "IBM 0.25 μm rad-hard". Ogni canale di ingresso del SYNC dispone di un TDC (Time to Digital Converter) che permette di misurare il ritardo, in multipli del clock di LHC, e la fase, con risoluzione di 1,5 ns, del canale logico rispetto al periodo di interazione dei fasci ($\sim 25\text{ns}$). Questa misura può essere monitorata tramite un buffer di memoria che permette di realizzare un istogramma della distribuzione dei ritardi del canale d'ingresso. Questi dati sono accessibili all'ECS tramite un'interfaccia I²C e permettono di calcolare i ritardi dei canali logici centrando gli istogrammi, attenuando così l'effetto del jitter da cui i segnali sono affetti.

Ogni SYNC chip riceve il clock macchina di LHC attraverso un modulo TTCrx [40], a bordo della ODE, che riceve dal sistema TTC (Time and Trigger Control) i segnali necessari alla messa in tempo del sistema. Grazie a tali segnali, coerenti con la struttura dei “bunch crossing” di LHCb (cioè con la loro numerazione ciclica), esso può determinare il corretto “BX identifier” da assegnare ai segnali ricevuti.

Tredici GOL (Giga bit Optical Transmitter), chip custom progettati con tecnologia resistente alle radiazioni, gestiscono invece le comunicazioni su link ottico e permettono l’invio dei dati al trigger di livello 0.

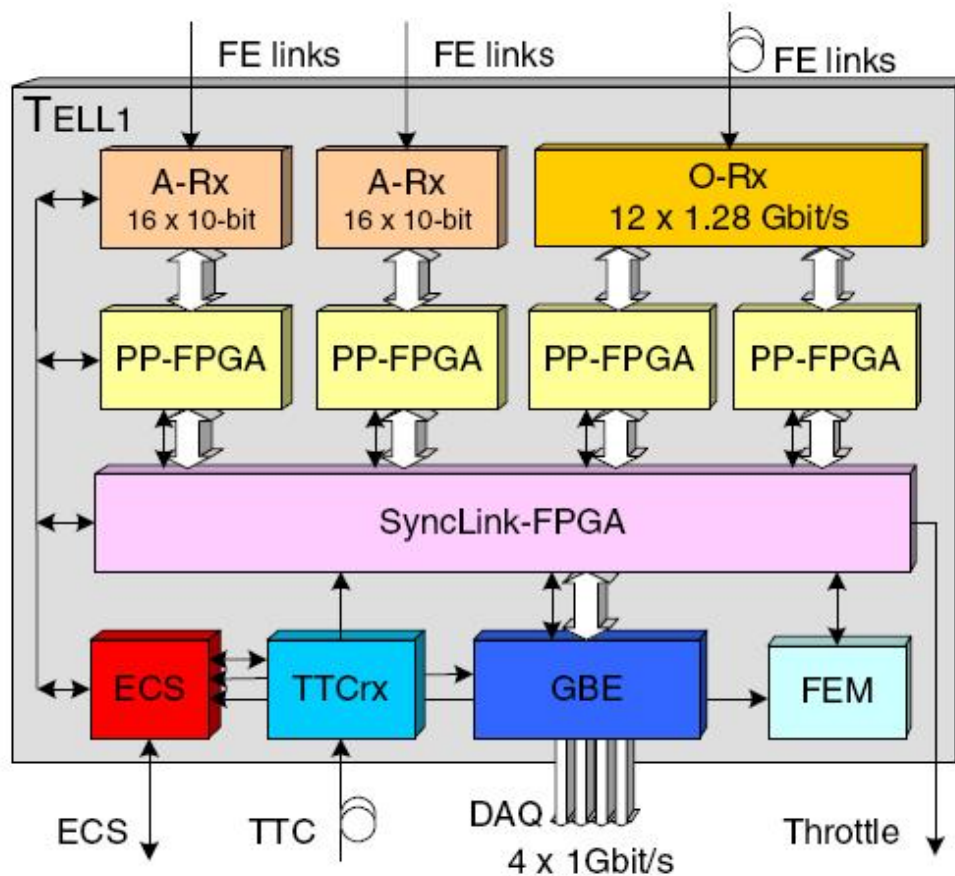


Figura 5.7: Schema a blocchi di una scheda TELL1. I dati provenienti dalle schede ODE (fino a 24 ODE servite da ogni TELL1) vengono zero-soppressi e ricodificati, assegnando un indirizzo ai soli canali diversi da zero. Quindi, in caso di risposta affermativa da parte del trigger, vengono inviati a DAQ.

Le schede ODE hanno le dimensioni di un modulo 6U-VME e sono contenute in dei racks affianco alle stazioni per i muoni, sotto le IB. Sono necessarie 148 ODE per gestire tutti i canali fisici, e conseguentemente 3,552 chip SYNC.

La Figura 5.6 mostra lo schema di funzionamento delle schede ODE: ogni 25 ns ai dati in ingresso viene assegnato il giusto “BX identifier” e vengono inviata alle pipeline per L0, dette L0 buffer, dove attendono 4 μ s la risposta dell’”L0 Decision Unit” . Parallelamente il dato e i quattro bit meno significativi del “BX identifier” sono inviati al trigger di livello 0. In caso di risposta affermativa i dati nel’ L0 buffer vengono trasmessi, attraverso link ottico, alle schede TELL1 (Figura 5.7), dove vengono riorganizzati e “zero-soppressi” 2 messi a disposizione per il DAQ.

5.4. L’ECS

L’ECS, Experiment Control System, è il sistema che ha lo scopo di monitorare e controllare le funzioni del rivelatore di muoni.

L’architettura di questo sistema è basata sull’ELMB (Embedded Local Monitor Box), piccolo modulo con interfaccia CAN Bus realizzato in collaborazione con l’esperimento ATLAS per lavorare in ambienti a moderato livello di radiazioni.[§7.1][36]

L’ELMB (Embedded Local Monitor Box) è una piccola scheda plug-on che dispone di un microcontrollore commerciale a 8 bit ATmega128 e un CAN-Controller.



Figura 5.8: la scheda plug-on ELMB con microcontrollore ATmega128.

L'ATMega 128 è un processore a 4MHz dotato di 128 kbytes di memoria flash dove risiede un firmware con funzioni di “watch-dog” che riavvia l'ELMB in caso di malfunzionamento dovuto a SEU⁷ (Single Event Upset).

Gli ELMB sono raggruppati in differenti rami CAN bus ognuno contenente fino a 24 nodi CAN.

La struttura dell'ELMB sarà approfondita nei paragrafi successivi. [§6.1.1]

L'ECS è diviso in due sottosistemi detti rispettivamente “ECS-ODE system” e “Services Boards System”. Il primo fa uso di un modulo ELMB per ogni scheda ODE che permette di comunicare con l'esterno tramite CANbus. Questo sistema dispone di 10 rami CANbus collegati direttamente ai backplane dei crate delle schede ODE contenenti ciascuno fino a 16 di questi moduli.

⁷ Si parla di errore SEU quando il passaggio di una particella carica all'interno del silicio provoca la commutazione di uno o più transistor cambiando lo stato dei flip-flop di una SRAM, provocando la perdita di dati e, il più delle volte, un'interruzione del funzionamento dell'applicazione in uso.

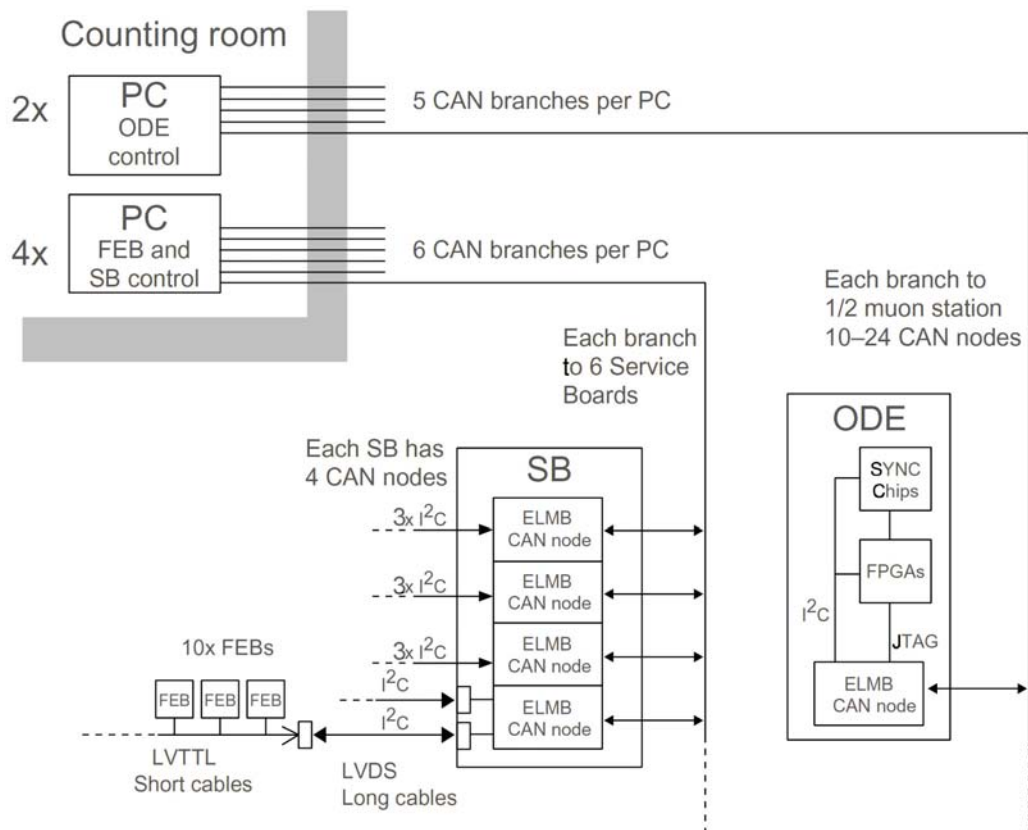


Figura 5.9: Il sistema ECS (Experiment Control System) per le camere per i muoni. Si possono vedere l'interfaccia CAN ECS per le Service Boards (SB) con le numerose uscite I²C (12 per ogni SB) verso le schede di Front-End (FEBs) e i rami CAN per le schede ODE.

L'ELMB presente nella ODE è programmato per gestire due bus I²C, uno dedicato alle comunicazioni con i 24 chip SYNC che fornisce un accesso preferenziale alle informazioni necessarie per la sincronizzazione del sistema, l'altro utilizzato per gestire e inizializzare tutti gli altri chip contenuti nella scheda. Esso gestisce anche il "GLOBAL reset" che ripristina i registri delle schede ODE nello stato default. Il segnale di reset è generato in fase d'accensione del sistema o, grazie alla funzionalità implementate nell'ECS, ogni qualvolta sia necessario per il ripristino delle funzionalità del sistema.

Il secondo sottosistema, il "Services Board system", si occupa del monitor e del controllo delle funzionalità delle schede di Front-End del rivelatore di muoni. Esso dispone di 24 rami CAN che dalla "counting room" si diramano a gruppi di

4 fino ai Pulse Distribution Module dei crate dell'ECS: Da qui il segnale CAN bus viene distribuito a tutte le Services Boards contenute nello stesso crate e collegate a gruppi di 5 per ogni ramo.

Gran parte degli studi svolti durante il mio dottorato sono stati rivolti al completamento di questo sistema e al rafforzamento e al test delle caratteristiche della sua elettronica per l'utilizzo in ambiente con moderato livello di radiazione ionizzante (~10Krad). Pertanto il "Services Boards System" e li suoi moduli verranno descritti più avanti in maniera più dettagliata.

Sei calcolatori equipaggiati con schede "PCI-CAN interface" commerciali con 2 nodi CAN ognuna, completano il sistema ECS permettendo il controllo dei rami CAN Bus dall'esterno. così suddivisi: 4 pc con 3 schede PCI-CAN, per un totale di 24 nodi CAN, per i 24 rami delle SB; 2 PC con 2 schede PCI-CAN che si occupano del sottosistema ECS-ODE [32].

6. Il “Services Boards System”

Il Services Boards System è quella parte dell’ECS che si occupa del monitor e del controllo delle schede di Front-End del rivelatore i muoni. Esso fa uso essenzialmente di tre moduli, che sono stati al centro dei miei studi durante il dottorato, e cioè di un crate per schede nello standard 6U VME dotato di un backplane realizzato ad-hoc per il sistema, del Pulse Distribution Module e del modulo Services Board, da cui prende il nome.

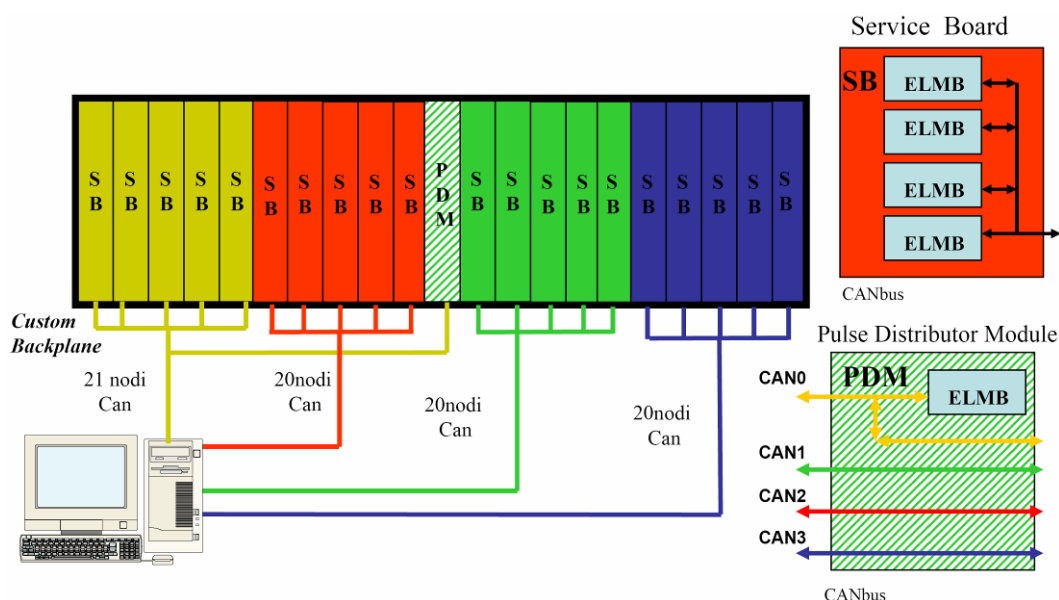


Figura 6.1: Il Services Boards system. Le SB nel crate sono raggruppate in 4 rami CAN tutti controllati dallo stesso computer dotato di interfaccia CANbus commerciale. In realtà tutti i rami CAN sono connessi al PDM che, posto al centro del crate, distribuisce numerosi segnali, fra cui i messaggi CAN, a tutto il crate attraverso il backplane.

Ogni crate del sistema alloggia al suo interno fino a 20 Services Boards (SB) e un modulo Pulse Distribution Module (PDM) che lo interfaccia a 4 rami CAN bus, che interessano altrettante zone di comunicazione (Figura 6.1), e al sistema di sincronizzazione e di controllo di LHC (Timing Fast Control).

Il PDM, posto in posizione centrale, smista le informazioni, provenienti dall'esterno, e i segnali sincroni, opportunamente generati al suo interno, lungo il backplane rendendoli disponibili a tutte le schede del crate. Le SB a loro volta sono connesse al Front-End del rivelatore ciascuna tramite 12 cavi twisted a 10 fili che trasportano i segnali del bus "I²C-Like" e l'impulso di calibrazione "BC_pulse" [§6.2.1] in standard LVDS.

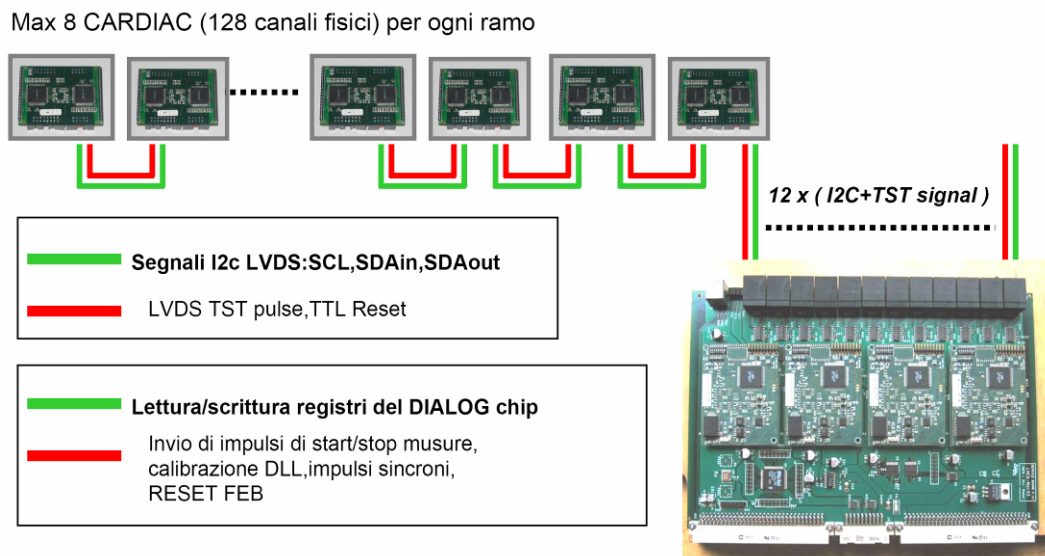


Figura 6.2: la comunicazione fra l'ECS e il front-end del rivelatore di muoni avviene tramite la Services Board che. Ogni SB dispone di 12 uscite verso altrettanti rami del FE. Ogni ramo può gestire fino a 8 CARDIAC

Ognuno di questi rami collega con l'ECS fino a 8 CARDIAC e permette l'inizializzazione delle schede in fase d'accensione, la configurazione di tutti i parametri necessari al corretto funzionamento del Front-End, come i valori delle soglie d'acquisizione dei canali fisici, e la gestione della procedura di calibrazione dell'apparato di lettura delle camere tramite opportuni segnali di test sincroni e in fase.

Per velocizzare le operazioni di ripristino del sistema i valori dei parametri di calibrazione ottenuti, per ogni CARDIAC collegato, sono memorizzati nella memoria flash a disposizione di ogni ELMB sulle Services Board: questo permette di ripristinare il corretto funzionamento del Front-End al riavvio o ogni volta che un errore dovuto a SEU corrompe il contenuto dei registri di

configurazione, senza dover ripetere la lunga procedura di calibrazione. Infatti, il “Services Boards System”, ha anche il compito di monitorare il corretto funzionamento dei CARDIAC a lui collegati e di effettuare tutte le operazioni necessarie a ristabilirne l’operatività come il reset e il ripristino della configurazione. Ogni ramo di comunicazione con il Front-End dispone di una linea di reset globale, pilotata dalla Services Board tramite un apposito registro I²C, che permette di effettuare un reset hardware di un intero ramo del Front-End.

Alla Services Board è affidato il compito di monitorare il corretto funzionamento di questo sistema e di risolvere eventuali problemi sia ripristinando il corretto funzionamento con i mezzi appena descritti sia, in caso di guasto, permettendo di individuare e escludere i canali di lettura interessati attraverso diverse funzionalità di test.

Quanto detto finora mette in evidenza il ruolo centrale del “Services Boards System” nel garantire il corretto funzionamento del sistema di Front-End e nel prevenirne i malfunzionamenti dovuti a radiazione ionizzante: è necessario, quindi, che tale sistema debba essere particolarmente affidabile e non terminare mai in uno stato di dead-lock a causa delle radiazioni.

Parte degli studi da me effettuati durante dottorato sono stati rivolti, oltre che alla realizzazione, al perfezionamento e alla messa in opera del “Services Boards System”, al rafforzamento dell’intero sistema rispetto ai problemi indotti da particelle ionizzanti, con una particolare attenzione a SEU, di particolare interesse per il tipo di radiazione a cui il sistema sarà soggetto.

Tali studi hanno portato alla caratterizzazione d’elettronica a basso costo di possibile utilizzo anche nelle applicazioni spaziali in cui, o per la breve durata o per la particolare orbita, non sia richiesta una particolare resistenza alle radiazioni ionizzanti

Altro importante compito del “Services Boards System” è quello di curare la comunicazione con il sistema TFC (Time and Fast Control) [46][48] di LHC che distribuisce, a tutti i rivelatori in opera sull’anello di accumulazione LHC e ai loro sottosistemi, i segnali necessari la messa in tempo degli esperimenti e i comandi BroadCast. I segnali di sincronizzazione, come il clock macchina di LHC o il “BX identifier” (cioè il numero che permette di identificare a quale collisione sono

collegati i segnali trattati e quindi l'evento studiato), vengono ricevuti tramite il link ottico contenuto nel PDM e riallineati in tempo grazie a ritardi programmabili: questo permette di generare segnali utili per l'effettuazione di misure e per l'allineamento temporale di tutta l'elettronica del rivelatore di muoni.

Durante il mio dottorato ho partecipato attivamente alla realizzazione dell'elettronica di questo sistema studiando una procedura che permetta di effettuare l'operazione di allineamento temporale senza utilizzare "la fisica", cioè senza disporre del fascio di particelle, ottenendo così un notevole risparmio di tempo nella fase di inizializzazione del rivelatore di muoni.

6.1. La Services Board

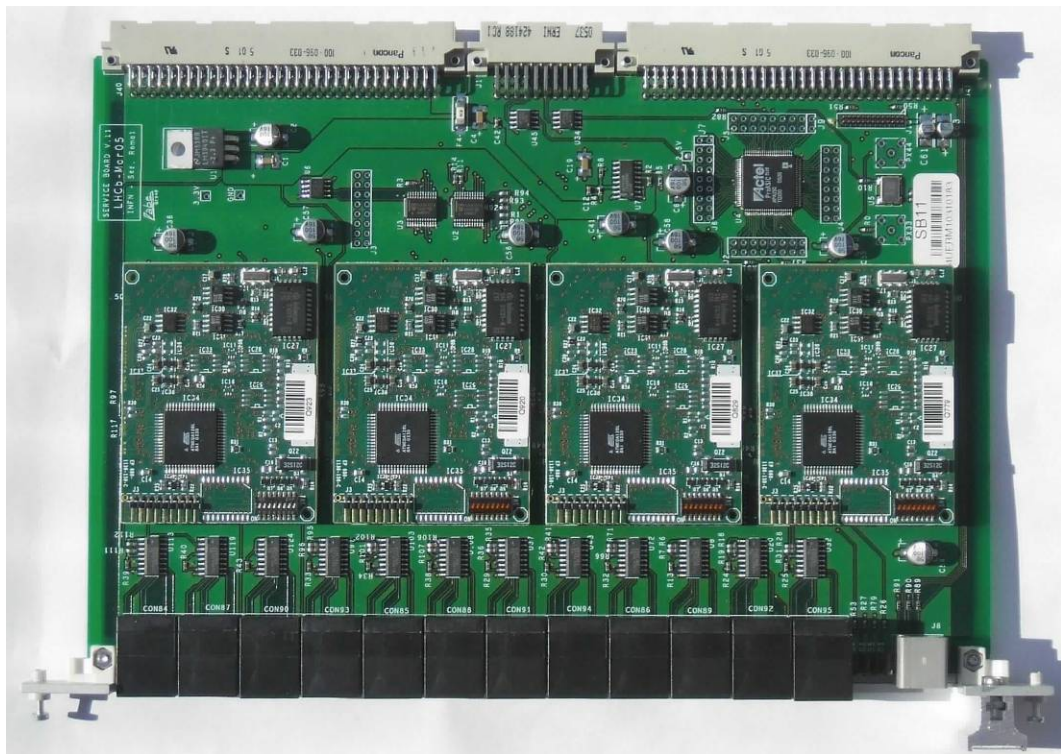


Figura 6.3: La Service Board V11

La Services Board (SB) [41] è una scheda nelle dimensioni standard 6U VME, che alloggia 4 schede ELMB e un certo numero di componenti che le consentono

la gestione dell'elettronica di Front-End e lo svolgimento delle sue funzioni di monitor del sistema.

La Figura 6.4 rappresenta il diagramma a blocchi della ServiceBoard, evidenziandone i componenti principali. Come si può osservare su un unico canale CANbus sono posti quattro moduli ELMB, descritti in maniera esaustiva nel prossimo paragrafo, ognuno dotato di 4 Mbit di memoria Flash con la quale comunica tramite interfaccia SPI. Su questa memoria, particolarmente resistente agli effetti dovuti a particelle ionizzanti e praticamente immuni a SEU, vengono memorizzate le informazioni di inizializzazione e di calibrazione del DIALOG, in modo da poterle recuperare in caso di necessità senza dover ripetere le procedure di inizializzazione del front-end.

La Services Board dispone di diverse vie di comunicazione interne ed estere pilotate o emulate dai suoi moduli ELMB. Grazie ai 4 driver CANbus contenuti in quest'ultimi, è in grado di dialogare con i "PC-CAN interface" con i quali è collegato attraverso le linee del backplane custom del Services Board System, passando per il PDM e poi su cavi CANbus che si diramano fino alla computer room dell'esperimento.

Dodici connettori RJ45 a 10 pin, posti sul lato frontale della scheda, permettono la gestione di altrettanti rami del Front-End. Da tali connettori passano tutti i segnali diretti verso il Front-End, e cioè le linee di reset globale TTL, l'impulso di test sincrono e in fase col clock macchina di LHC, detto Test_pulse, e i 12 bus I²C-Like per lunga distanza pilotati in numero di 3 per ogni ELMB. Questi bus possono essere utilizzati fino ad una distanza di 10 metri usando dei drivers LVDS (Low Voltage Differential Signalling) e sono chiamati "long I²C branches". Tutti i segnali che interessano il Front-End, tranne il reset, necessitano di conversione dallo standard TTL a LVDS e viceversa: questo è effettuato grazie a 12 "lvds drivers" "DS90LV047ATM" e 4 "lvds receivers" "DS90LV048ATM", entrambi componenti scelti dai database dell'esperimento ATLAS, qualificati per l'utilizzo in ambiente con moderato livello di radiazione ionizzante.

La comunicazione fra le vari parti della Services Board è possibile tramite il bus interno I²C pilotabile attraverso ognuna delle ELMB presenti.

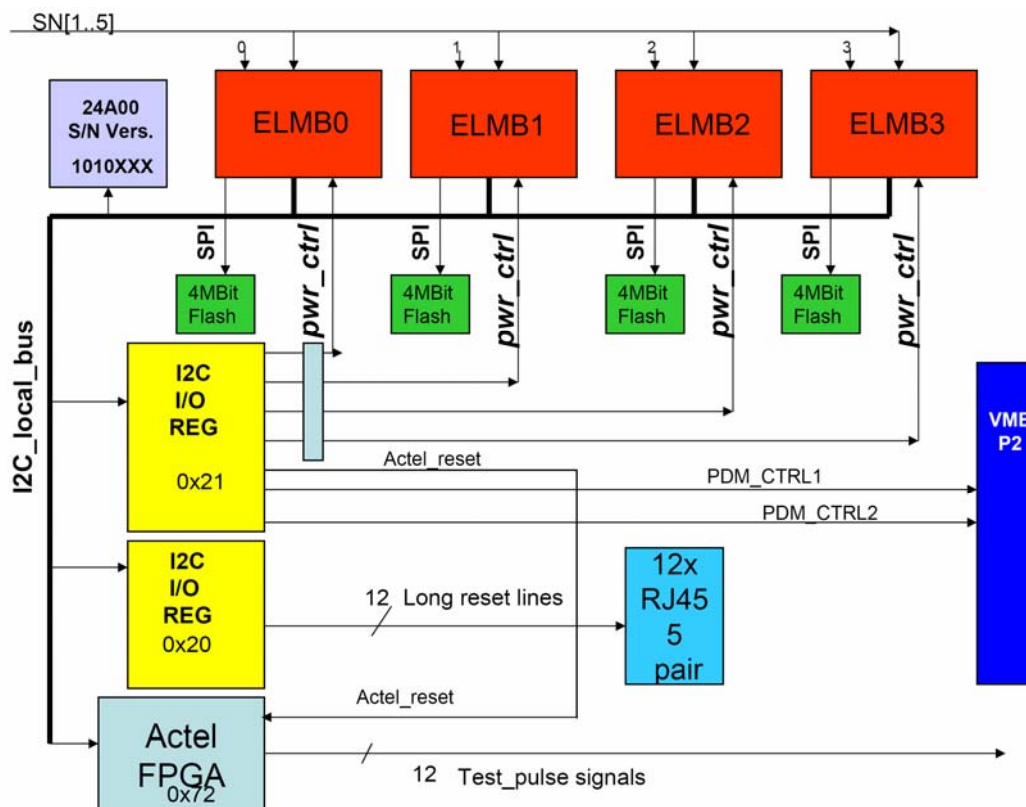


Figura 6.4: Diagramma a blocchi della Services Board.

Lungo il bus I²C interno sono connesse una EEPROM, due registri remoti di I/O a 16bit “Philips PCF8575” e una FPGA (Field Programmable Gate Array) della ACTEL.

La EEPROM contiene il numero di serie della Services Board e permette una sua rapida identificazione dal parte dell’ECS.

Ai due registri I²C, anch’essi scelti fra i componenti già caratterizzati per l’utilizzo in ambiente radioattivo, è affidato il compito di controllare linee fondamentali per il funzionamento del Services Boards System: in particolare ad essi fanno capo le 12 linee di reset delle del front-end, le 4 linee per lo spegnimento e le 4 linee di reset delle ELMB e le due linee del bus di comunicazione denominato PDM-Control che, propagandosi lungo il backplane,

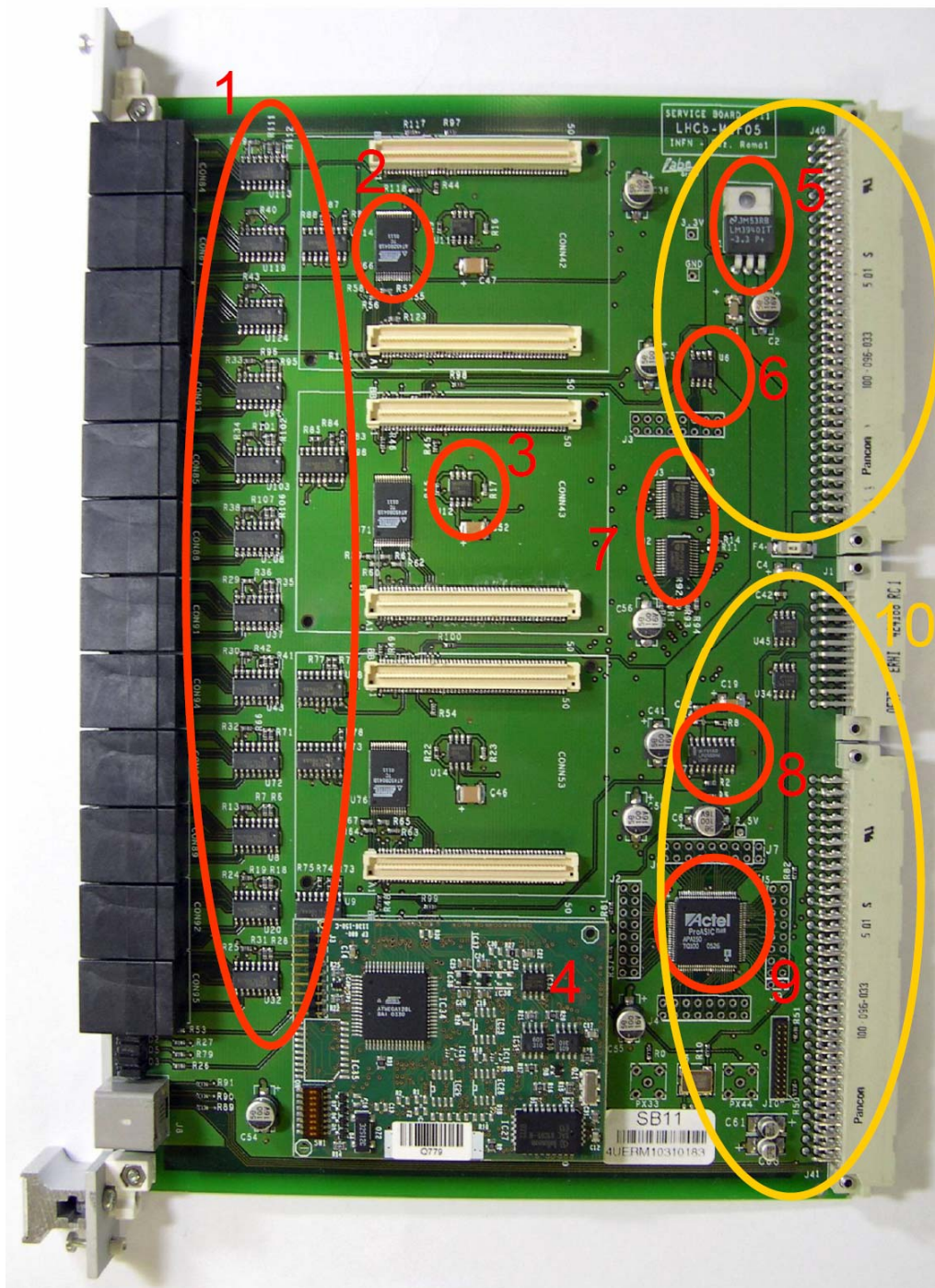


Figura 6.5: I componenti principali della Services Board. (1) transmitter LVDS-LVTTL DS90LV047 (x12) e receivers DS90LV048 (x5); (2) Memoria Flash (x4); (3) Switches MAX893L (x4); (4) ELMB (x4); (5) Regolatore di tensione LM3940; (6) EEPROM 24A00; (7) registri I²C di IO a 16bits PCF8575 (x2); (8) Regolatore di tensione LP2952; (9) Actel FPGA; (10) Connettori VME bus.

permettono di il controllo diretto delle funzioni di reset e di power-on/off del modulo ELMB del PDM.

Infine l'FPGA Actel contiene tutta la logica necessaria per il controllo della Services Board stessa e per la gestione degli impulsi di test e di sincronizzazione necessari al Front-End.

Le funzionalità di questi dispositivi e la loro caratterizzazione per l'utilizzo nella zona a moderata esposizione a radiazione ionizzante verrà approfondita più avanti.

I compiti principali della Services Board sono il controllo dell'elettronica di Front-End, in particolar modo del DIALOG, e l'individuazione e la correzione d'eventuali errori nei suoi flip-flop. Tramite i "long I²C branches" accedere a tutti i registri interni del chip di Front-End testandone la consistenza e, nel caso in cui rilevi un errore, lo segnala al resto dell'ECS tramite l'interfaccia CAN-bus provvedendo al ripristino del corretto funzionamento tramite le informazioni memorizzate nella memoria flash e tramite le linee di reset. Un'altra funzione della Services Board è quella di gestire la comunicazione tra l'interfaccia CAN-bus dei calcolatori del sistema di controllo e il DIALOG, rendendo possibile, ad esempio, la lettura dei contatori o l'immissione dei valori di soglia, nonché la calibrazione della DLL. Inoltre permette di gestire e emulare tutti i segnali di test che servono per l'allineamento temporale dei canali logici e per effettuare misure specifiche sui canali di lettura delle camere per i muoni, utili per assicurarsi che queste stiano operando nelle giuste condizioni.

Le funzionalità delle Services Boards sono gestite grazie ad appositi task implementati nel firmware dei moduli ELMB, anch'esso realizzato in modo da risultare resistente a SEU.

I crates delle Services Boards sono disposti sul lato del rivelatore (figura 4.*), tra le IB e le schede ODE, nella zona della caverna dell'esperimento più critica in quanto a dose totale assorbita, vista la vicinanza al flusso. Sono necessarie un totale di 168 Service Board.

Parte dei miei studi sono stati svolti nell'abito dell'implementazione di alcune funzionalità fondamentali nel firmware dell'ELMB così come nella scelta dei componenti e delle tecnologie adottate sul modulo Services Board. In particolare è stata mia cura progettare, eseguire e partecipare a test sui componenti non ancora

qualificati all'utilizzo nella caverna dell'esperimento. In quest'ambito ho analizzato le possibilità di utilizzo di FPGA Actel ProAsic^{PLUS}, basate su memoria Flash da 0,22 μm , all'interno dell'esperimento, studiandone il comportamento in presenza di radiazione ionizzante e riportando i risultati a quelli ottenuti sull'FPGA antifuse Actel AT54SXA16 usata nel progetto originale. Ho provveduto quindi all'effettiva introduzione di questa tecnologia, proponendo un metodo di implementazione automatica di logica in tripla ridondanza, non supportata nativamente dall'Actel ProAsic^{PLUS}. Infine ho esaminato il possibile utilizzo di questa tecnologia in applicazioni spaziali discutendo l'azione della dose totale e di effetti SEE sulla sua architettura.

Nei paragrafi successivi verrà descritto più in dettaglio l'hardware e il firmware della Services Board e i miei studi.

6.1.1. L'ELMB

Nella caverna dell'esperimento e in particolare a ridosso del rivelatore l'uso di microcontrollori e CPU è un argomento che va trattato con particolare cura. Si è scelto, per tutto il sistema di controllo di LHCb, di utilizzare l'Embedded Local Monitor Board (ELMB, Figura 6.10e Figura 6.11), sviluppata e qualificata all'utilizzo in ambiente con moderato livello di radiazioni ($<100\text{Krad}$) in collaborazione con l'esperimento ATLAS e dotato di un sistema di "watchdog"⁸.

L'ELMB è il cervello dell'ECS e, in particolare, del "Services Board System". Esso è basato sullo standard industriale di comunicazione CAN-bus e utilizza il CANopen [47] come protocollo di comunicazione di alto livello fornendo questa interfaccia verso l'esterno. Emulando un master I²C gestisce inoltre la comunicazione fra le varie parti della Services Board e con l'elettronica di Front-End. In Figura 6.6 è riportato il diagramma a blocchi dell'ELMB.

⁸ Il watchdog o watchdog timer (in italiano: temporizzazione di supervisore - letteralmente: cane da guardia) è un sistema di temporizzazione hardware che permette ad un microcontrollore la rilevazione di un "loop" infinito di programma o di una situazione di "deadlock". Tale rilevazione può consentire di prendere dei provvedimenti per correggere la situazione, generalmente effettuando un reset del sistema e la sua reinizializzazione.

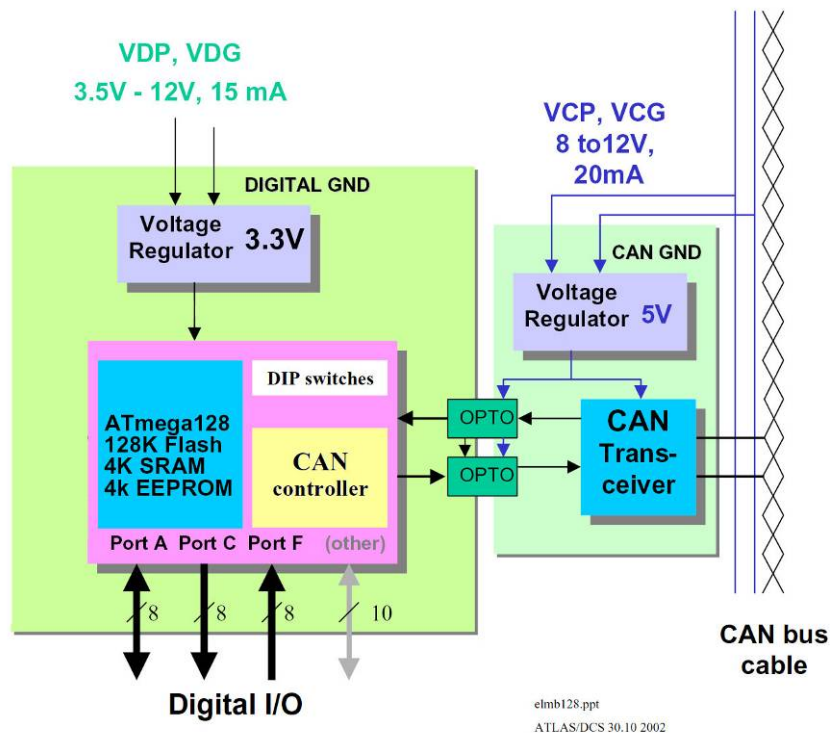


Figura 6.6: Diagramma a blocchi dell'ELMB.

L'ELMB è basato sul microcontrollore "ATmega128 AVR ATMEL" in tecnologia 0.35 μm , ad architettura RISC, con 121 istruzioni a clock singolo e 4MHz di frequenza di clock [42].

Il microcontrollore ha a disposizione 128 kbytes di memoria flash per il firmware, 4 kbytes di EEPROM e 4 kbytes di SRAM.

Uno "SPI CAN controller SAE81C91" permette di comunicare dall'esterno con il microcontrollore accedendo al CAN-bus attraverso il "CAN-transmitter/receivers" dell'ELMB, con cui è connesso da un link ottico che ne garantisce l'isolamento galvanico.

Tre regolatori di tensione (+5V,-5V e +3.3V), limitati in corrente, forniscono al modulo i voltaggi necessari al suo funzionamento.

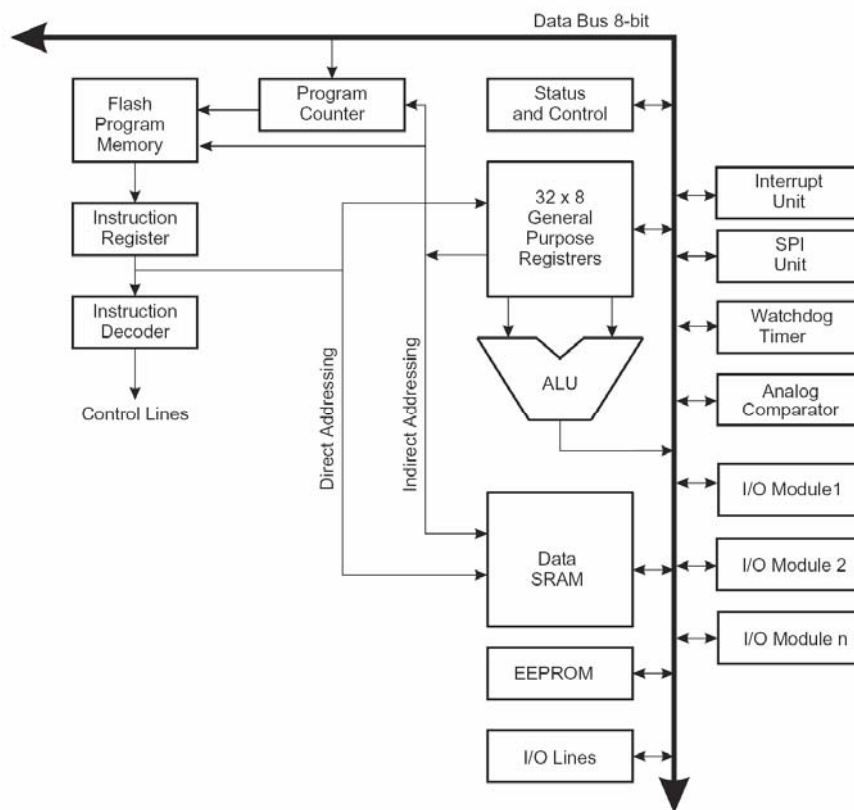


Figura 6.7: Architettura AVR dell'ATmega128.

L'ATmega128 è collegato al “DIP-switches” dell'ELMB che permette di impostare parametri fondamentali come il suo indirizzo di default e la velocità di trasmissione del driver CAN. La programmazione del firmware del microcontrollore è possibile sia tramite interfaccia SPI, utilizzando un apposito programmatore e software di scrittura/lettura su EEPROM (PonyProg2000), sia impartendo istruzioni direttamente attraverso l'interfaccia CANopen, supportata nativamente dal modulo

La memoria flash dell'ATmega128 è divisa in due parti: il “BootProgram” e l' “Application program”. Nella prima parte viene scritto il “bootloader” che contiene le operazioni di inizializzazione del chip e il programma di avvio. I registri di questa parte di memoria dispongono di bit di protezione per la scrittura e la lettura che ne evitano la sovrascrittura accidentale. La seconda contiene invece il programma principale. Le dimensioni delle due sezioni di memoria sono variabili una a discapito dell'altra.

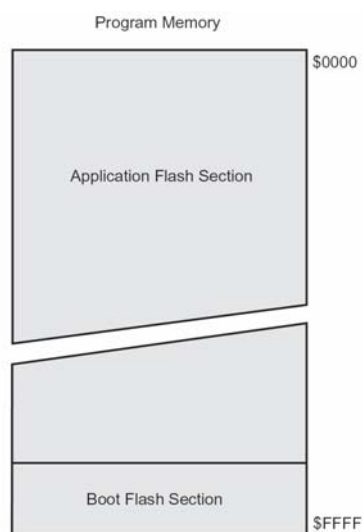


Figura 6.9; Mappa della memoria flash dell'ATmega128.

Il firmware dell'ELMB è composto di due elementi: il "bootloader" e il programma principale **Errore. L'origine riferimento non è stata trovata.** All'accensione dell'hardware il microcontrollore esegue il bootloader che fra le sue funzioni ha quella di consentire la scrittura del firmware attraverso il protocollo CANopen. Se nella parte di memoria flash "Application Program" risiede il programma principale, dopo 4 secondi il bootloader l'esegue. In caso contrario il

microcontrollore resta in attesa finché non è attivato da un messaggio CAN o dalla scrittura del programma principale, la cui presenza viene continuamente rilevata ogni 4 secondi.

In caso di chiamata da parte di una subroutine o di un interrupt i dati necessari al ripristino del programma principale vengono salvati nello stack. Per permettere una rapida esecuzione dei salti, lo stack viene allocato nella memoria SRAM a disposizione del microcontrollore, particolarmente sensibile agli effetti del SEU. Un eventuale deterioramento di questi dati rende impossibile il ripristino del programma principale provocando un arresto del sistema. Per ovviare a questo inconveniente il bootloader fornisce anche una funzionalità di "watch-dog"⁹ per la rivelazione d'eventuali situazioni di dead-lock che, in caso d'errore, provvede a riavviare l'hardware ripristinando nuovamente il codice dalla memoria flash.

Tutti i componenti dell'ELMB sono montati su un PCB di dimensioni 50x67mm come mostrato in Figura 6.10. Sul retro del PCB (Figura 6.11) sono presenti due connettori SMD ad alta densità di pin. È anche possibile montare, su questo lato, un ADC delta-sigma a 16+7 bit con 64 input e i regolatori di tensione per la sua

⁹ Si parla di sistema "watch-dog" (letteralmente "cane da guardia") per la rivelazione degli errori quando il mancato invio di un messaggio di corretto funzionamento, da parte del software monitorato, entro un tempo stabilito provoca il riavvio del sistema.

alimentazione. Questa versione opzionale dell'ELMB è detta "analogica" ed è utilizzata nell'esperimento ATLAS.

Connettore ISP per "In System Programming"

ATmega128

DIP-switches

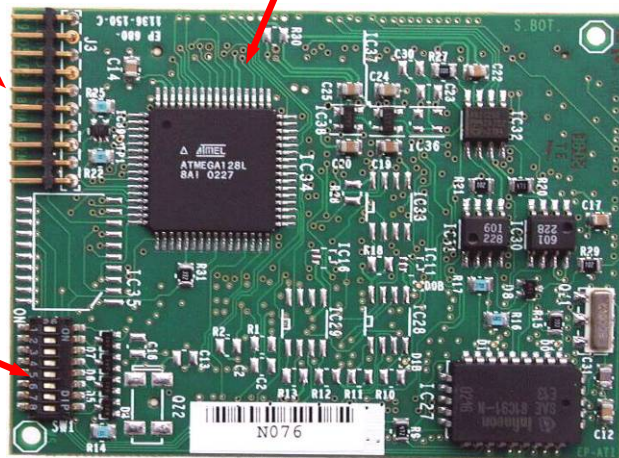


Figura 6.10: Facciata superiore dell'ELMB.

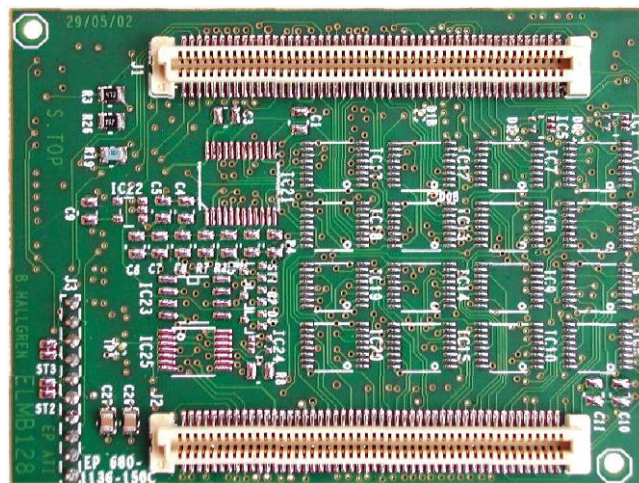


Figura 6.11: Facciata inferiore dell'EMB.

6.1.2. SPI FLASH ROM

Il microcontrollore dell'ELMB dispone di una Serial Peripheral Interface (SPI). Tale interfaccia permette un rapido trasferimento di dati tra microcontrollore e periferiche. La Services Board dispone di 4 Mbit di memoria Flash con interfaccia SPI per ogni ELMB su cui vengono conservate le informazioni di inizializzazione e i parametri di calibrazione di ognuno dei CARDIAC connessi su uno dei tre rami del Front-End pilotati da quest'ultima. I 4 Mbits di memoria sono forniti da una EEPROM Atmel AT45DB041B [49], testato e qualificato all'utilizzo in ambiente a moderato livello di radiazione ionizzante.

6.1.3. I/O REGISTERS

I registri di I/O sono forniti da due chip "Philips PCF8575" [44]. Questo componente è provvisto di un'interfaccia I²C bus, tramite la quale l'ELMB può accedere a 16-bit di I/O per ognuno, che controllano le 12 linee di reset dell'elettronica di front end, le 4 linee per lo spegnimento dei quattro moduli ELMB della Services Board e la linea di reset dell'FPGA.

Nel firmware dell'ELMB sono state implementate scorciatoie d'accesso diretto alle linee di reset e alla funzione di spegnimento, protette da password, in modo da evitare che operazioni errate possano provocare reset involontario o spegnimento accidentale di una o più ELMB.

6.1.4. Transmitters e Receivers TTL/LVDS

Tutti i segnali che mettono in comunicazione la Services Board con il Front-End necessitano di trasformazione dai livelli logici dello standard TTL a quelli dello standard LVDS e viceversa. Tale operazione è perpetuata tramite 12 lvds drivers DS90LV047ATM e 5 lvds receivers DS90LV048ATM di manifattura della National Instruments.

6.1.5. L'EEPROM

Necessità del sistema ECS è che ogni modulo possa essere identificato univocamente. A questo scopo sulla Services Board è stata usata una EEPROM, tipo Microchip 24LC00 con interfaccia I²C, contenente il numero di serie della SB e molte altre informazioni specifiche, come la versione dell'hardware e quella del firmware. Durante gli studi di dottorato è stata mia cura qualificare questo componente per l'utilizzo in ambiente con moderata esposizione a radiazione ionizzante [§7.5.1], effettuando la ricerca sistematica di SEE e lo studio degli effetti dovuti a dose totale presso il ciclotrone CYCLON. Il test, che ha riguardato anche i regolatori di tensione della Services Board, verrà descritto in maniera dettagliata nel seguito.

6.1.6. FPGA

Tutta la logica necessaria alla Services Board per la gestione dei segnali esterni, come gli impulsi di sincronizzazione, per la codifica dei comandi dell'Services Board crate e per il controllo dell'elettronica del modulo stesso (linee di reset e di power on/off), è implementata dentro un FPGA. Durante il mio dottorato ho studiato la possibilità di sostituire l'FPGA originariamente utilizzata per questa applicazione, una Actel A54SX16A in tecnologia "CMOS antifuse 0.22/0.25 μm " classificata come rad-tolerant e proposta per uso in applicazioni per lo spazio, con una nuova FPGA della famiglia Actel ProAsic^{Plus} con tecnologia "Flash 0.22 μm ", molto più versatile ed economica, e ho provveduto alla sua effettiva sostituzione. Il confronto fra le due FPGA e le accortezze adottate per rafforzare la tolleranza alla radiazione ionizzante della nuova tecnologia adottata sarà descritta nei capitoli successivi.

In Figura 6.12 sono riportati lo schema dei registri interni e dei blocchi di logica implementati nelle CLB dell'Actel APA150.

All'interno dell'FPGA è implementata un'interfaccia I²C slave attraverso la quale è possibile accedere ai registri interni per determinare lo stato dei

multiplexer che selezionano i segnali impulsivi e per gestirne le maschere. Questo permette di scegliere la fonte del segnale impulsivo sincrono che attraverso le 12 linee del bus “TST_Pulse” raggiunge i 12 rami del Front-End collegati ad ogni modulo e permettono di effettuare operazioni sincrone con il resto dell’esperimento.

È inoltre possibile decidere se inviare direttamente i segnali sincroni inviati dal modulo PDM attraverso il Backplane, o se generare da questi segnali i segnali mostrati in Figura 6.13 e Figura 6.14, che permettono di effettuare misure per un tempo voluto o particolari test.

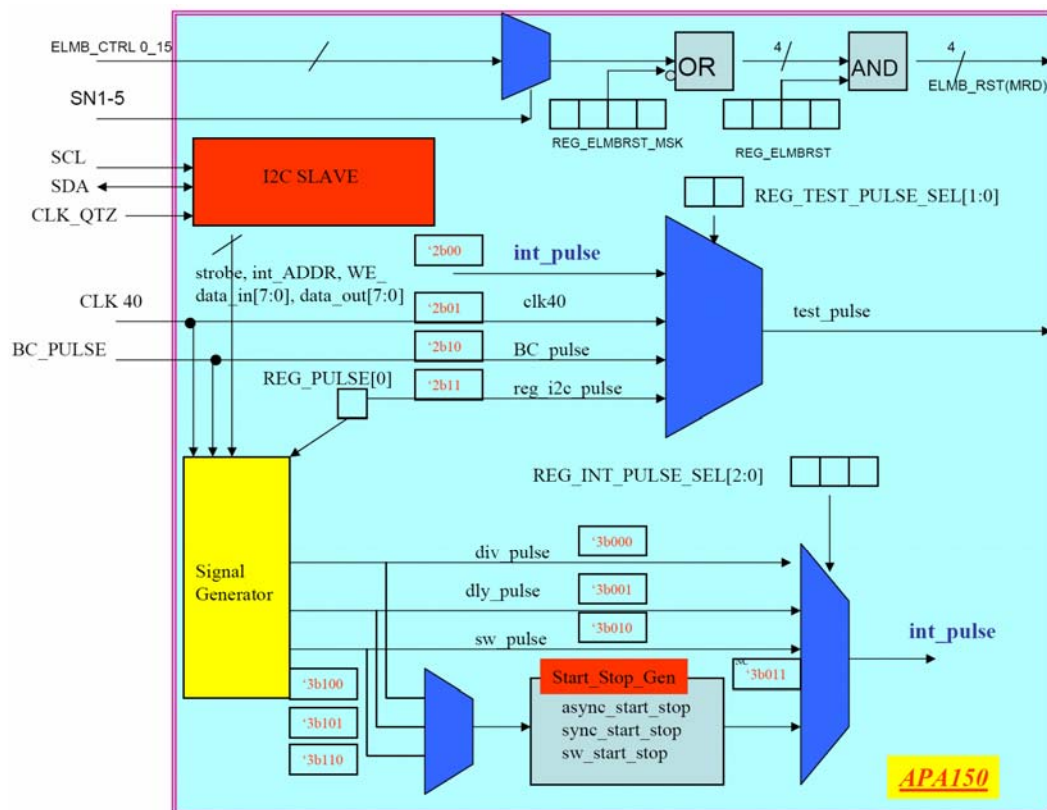


Figura 6.12: Diagramma a blocchi delle funzionalità implementate nell’FPGA Actel ProAsic 150 della Services Board

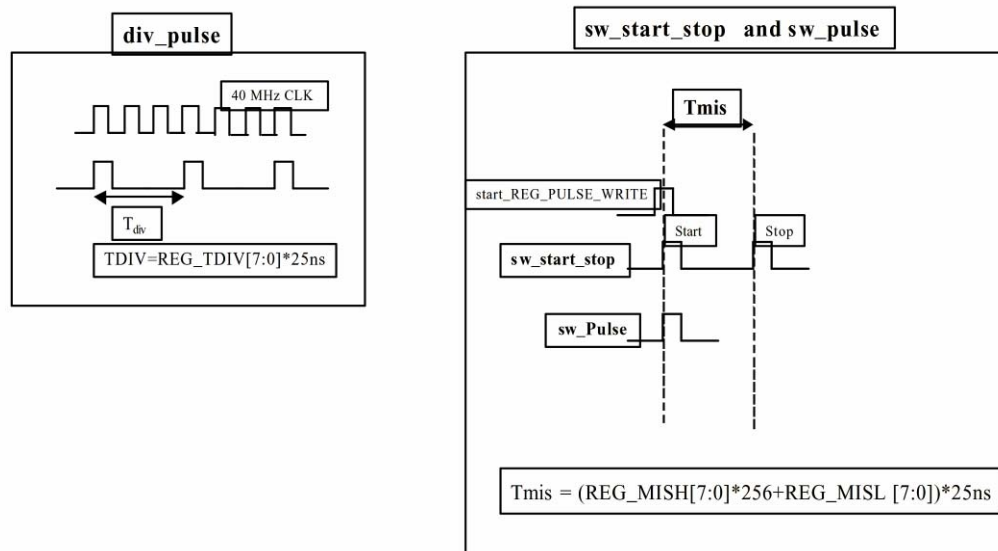


Figura 6.13 a/b: I segnali `div_pulse` (a), `sw_start_stop` (b) e `sw_pulse` (b) prodotti dall'FPGA Actel.

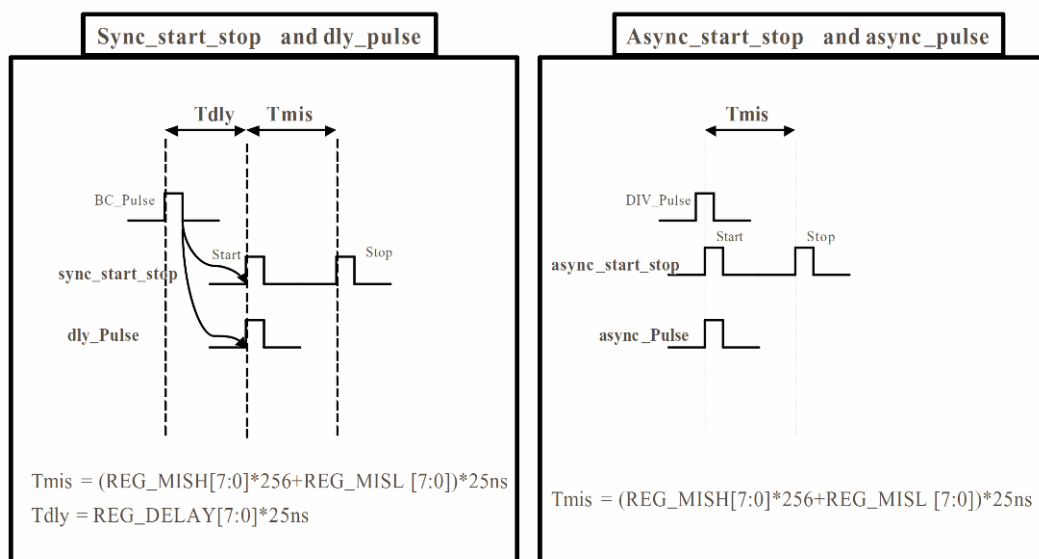


Figura 6.14 c/d: I segnali `Sync_start_stop` (c), `dly_pulse` (c), `Async_start_stop` (d) e `async_pulse` (d) prodotti dall'FPGA Actel.

Allo scopo di permettere una rapida messa a punto del sistema di controllo e di facilitare eventuali operazioni di debugging o di individuazione guasti, agendo su un apposito registro è possibile scegliere, come fonte per la generazione dei segnali, il clock sincrono di LHC o il clock interno della Services Board, generato

localmente da un oscillatore al quarzo a 40Mhz: questo permette di operare emulando la presenza del resto del sistema. Registri di maschera consentono inoltre di scegliere quale o quali siano i rami del Front-End interessati da questi segnali.

Durante il mio dottorato, oltre a portare a termine la realizzazione della logica sopra descritta, ho progettato un sistema di comunicazione all'interno del crate del Services Board System che permette di effettuare le operazioni di reset e di accensione/spengimento, indipendentemente dal funzionamento dei microcontrollori dell'ELMB. A tale scopo lungo il backplane passa un bus parallelo a 16 linee che, pilotato dal PDM, permette di inviare comandi a una o più ELMB di ogni Services Board. Attraverso un sistema di codifica diretta questi comandi sono interpretati e eseguiti. Grazie ad apposite linee riservate e direttamente connesse ai connettori VME del modulo, è in grado di assumere automaticamente all'accensione del sistema il corretto indirizzo sul bus secondo lo slot occupato dalla Services Board.

6.1.7. Protocollo I²C -like LVDS

La comunicazione tra la Service Board e l'elettronica di front-end (DIALOG) è resa possibile tramite cinque segnali: quattro coppie di segnali LVDS ed una linea di reset.

I dati sono trasmessi grazie all'interfaccia I²C, su una versione leggermente modificata dell' I²C -bus. Le FE board funzionano come periferiche I²C slave e hanno a disposizione una linea unidirezionale SCL e due linee, una d'ingresso e una d'uscita, per SDA.

6.2. Il Pulse Distribution Module

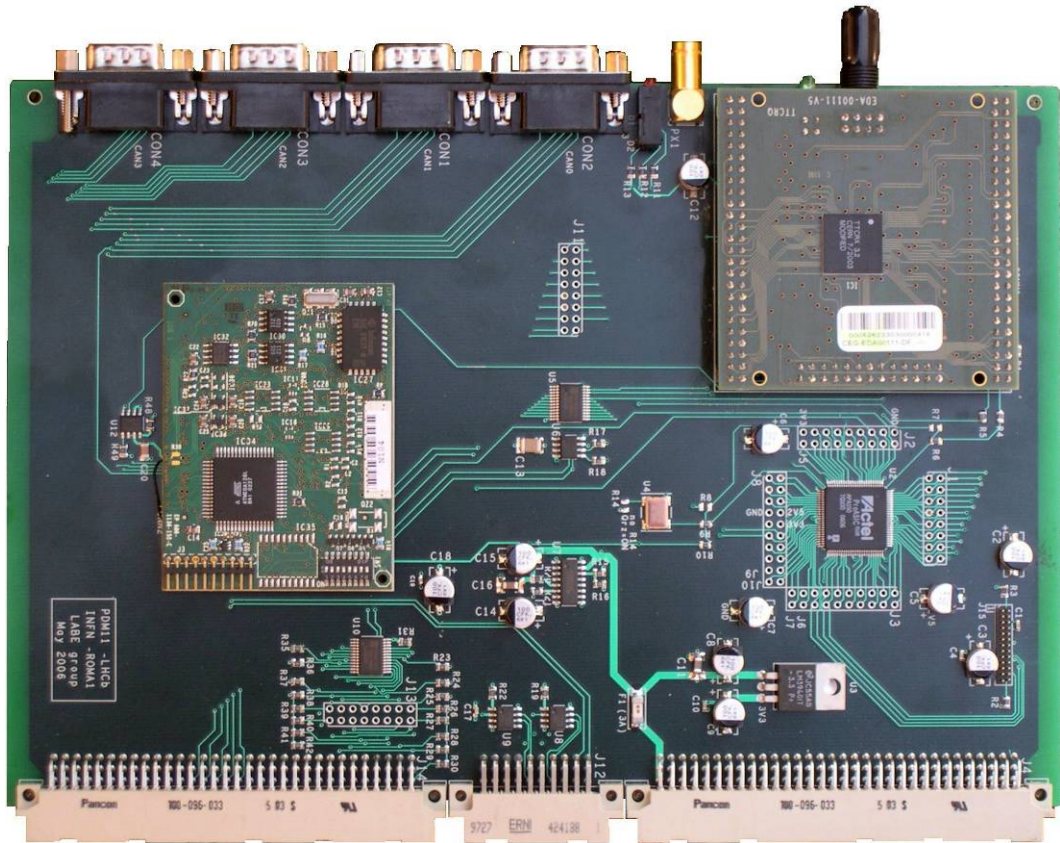


Figura 6.15: Pulse Distribution Module.

Il Pulse Distribution Module (PDM) [50] è una scheda nelle dimensioni 6U VME, progettata sulla base delle esperienze fatte sul modulo Services Board. Essa è il punto nevralgico delle comunicazioni del Services Board System e si occupa di gestire i numerosi segnali necessari al funzionamento del sistema e di renderli disponibili a tutte le Services Boards di ogni crate. In Figura 6.18 è riportato il diagramma a blocchi del PDM, dove sono messi in evidenza i componenti principali del modulo.

Funzione fondamentale del PDM è quella di distribuire il clock sincrono di LHC e i segnali di calibrazione al resto del sistema e, passando per la Services Board, all'elettronica di Front- End. A tale scopo segnali sincroni e comandi broadcast

raggiungono la logica del modulo tramite una scheda TTCrx montata su di esso [45][51][52] che, attraverso un canale di comunicazione ottico, riceve queste informazioni dal sistema TTC (Timing Trigger and Control) di LHC [53]. In questo modo esso si integra nella struttura che permette a tutti gli esperimenti di LHC di essere sincroni con le interazioni dei fasci.

Il sistema TTC assicura la distribuzione dei segnali di sincronizzazione e del segnale di trigger di livello zero a tutto l'esperimento. Attraverso queste informazioni il PDM è in grado di generare un segnale di clock e un impulso di test, entrambi sincroni e in fase con le orbite dei fasci di LHC. Inoltre è in grado di inviare comandi, individuali o broadcast, anch'essi coerenti e in fase con la struttura delle interazione fra i fasci di LHC, che permettono di misurare e correggere i ritardi introdotti dalla propagazioni dei segnali su percorsi e zone diverse dell'elettronica.

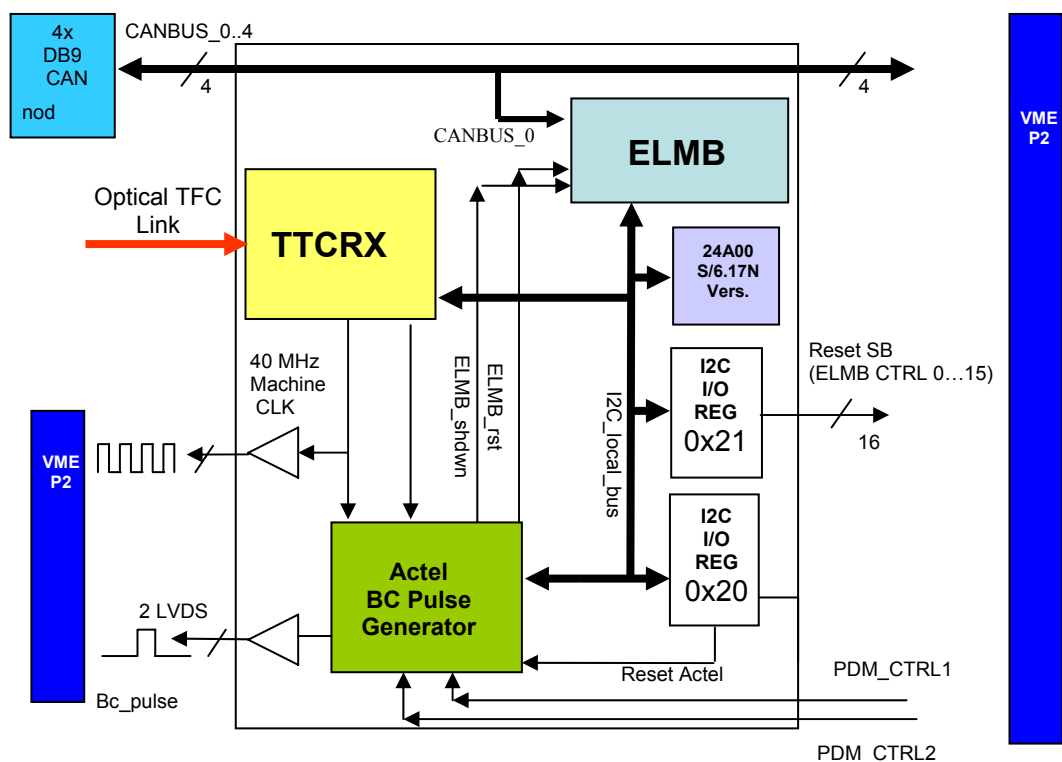


Figura 6.18: Diagramma a blocchi del modulo PDM

Il modulo TTCrx comunica direttamente con un FPGA in tecnologia flash, Actel ProAsic^{PLUS} 150, dove è implementata la logica necessaria per la codifica delle informazioni ricevute e per la generazione del segnale impulsivo sincrono “BC_pulse”.

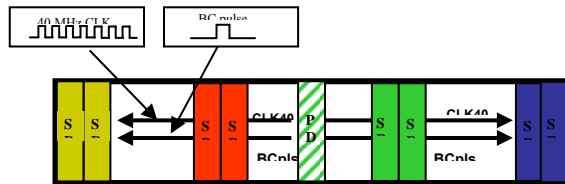


Figura 6. distribuzione dei segnali sincroni al crate del Services Board System

Quest’ultimo, insieme al clock macchina di LHC, sono trasmessi lungo il backplane attraverso appositi bus in standard LVDS e raggiungono tutte le Services Boards del presente nello stesso crate.

Nell’FPGA sono implementati anche la logica necessaria per la gestione dei reset e della linea che permette di effettuare l’operazione di accensione/spengimento dell’ELMB contenuta nel modulo.

Quattro canali CAN-bus entrano nel PDM attraverso altrettanti connettori a nove pin del tipo “DB9” e sono distribuiti verso il backplane del Services Boards System da dove possono raggiungere tutte le altre schede. Il primo di questi canali comunica anche con l’ELMB (§ 6.*) del PDM che contiene un firmware, appositamente progettato durante il mio dottorato, con gli stessi requisiti di robustezza rispetto alla radiazione ionizzante utilizzati per la realizzazione del firmware delle Services Board. Un protocollo I²C emulato fa parte della sua programmazione e permette all’ELMB di controllare e comunicare con tutti i dispositivi connessi al bus I²C interno del PDM. Il TTCrx, l’FPGA, due registri remoti di I/O e un EEPROM, dello stesso tipo di quelli utilizzati sulla Services Board, sono disposti lungo questo bus.

Anche per questo modulo l’EEPROM contiene il numero di serie del modulo e permette una sua rapida identificazione all’interno dell’ECS.

Uno dei due registri di I/O gestisce la linea che permette di effettuare, passando per la logica dell’FPGA, il reset dell’intero modulo. L’altro è usato per pilotare le 16 linee del bus di controllo “ELMB_CTRL” che, attraverso il backplane, permette di effettuare operazioni di reset e di accensione/spengimento sulle ELMB di ogni Services Board ad esso connessa.

Altre due linee , chiamate “PDM RESET” e “PDM SHUTDOWN”, raggiungono il modulo Pulse Distribution Module attraverso il backplane e permettono di fare altrettanto sulla sua ELMB pilotandole da qualunque Services Board. In Figura 6.21 è riportato lo schema delle connessioni del PDM.

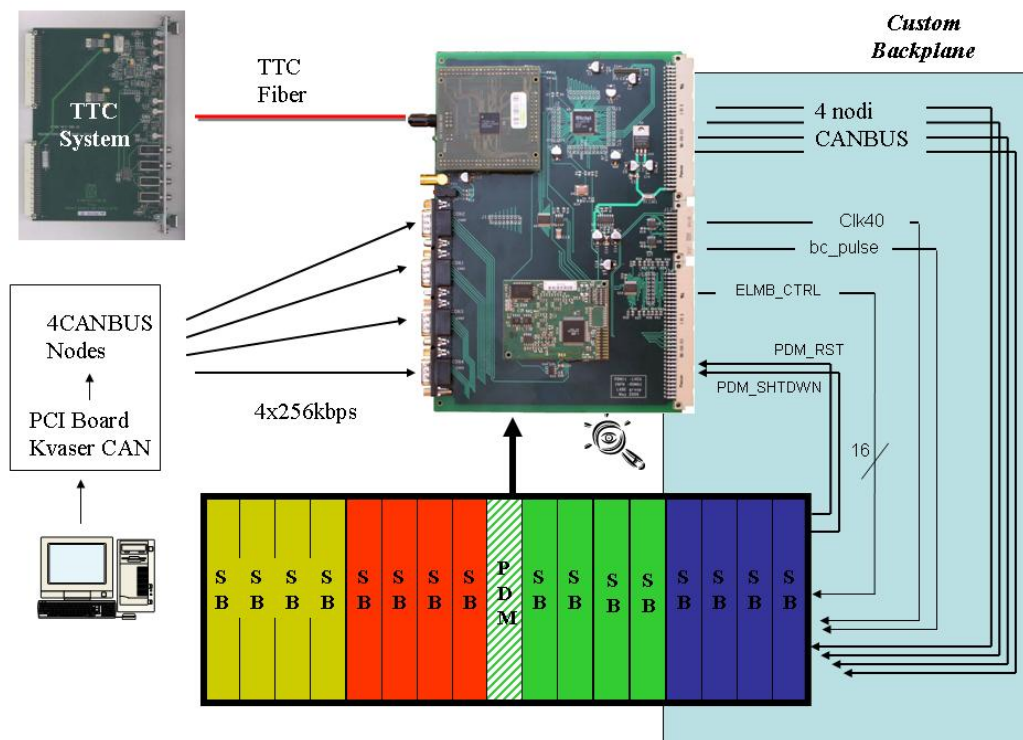


Figura 6.21: schema dei segnali gestiti dal PDM.

I compiti principali del Pulse Distribution Module sono:

- Distribuire il segnale del CANbus lungo tutto il backplane.
- Ricevere informazioni di sincronizzazione dal sistema di messa in tempo dell'esperimento (TTC system) e renderle disponibili al resto dell'elettronica.
- Distribuire il clock macchina di LHCb a tutto il crate del Services Boards System.

- Gestire il bus parallelo ELMB_CTRL che permette di effettuare il reset e cicli di accensione/spengimento su tutte le Services Boards collegate.
- Velocizzare l'allineamento temporale dell'elettronica del rivelatore di muoni di LHCb permettendo di effettuare una misura approssimata dei ritardi dei canali senza fisica (cioè senza bisogno dei fasci di protoni)

Quest'ultimo punto è stato particolare oggetto di studio durante il mio dottorato.

6.2.1. Procedura veloce di allineamento temporale

Particolari funzionalità di calibrazione sono state inserite nella logica del PDM in modo tale da velocizzare la sincronizzazione dell'elettronica descritta nel capitolo §5.

Requisito fondamentale dell'elettronica di lettura del rivelatore di muoni di LHCb è quella di allineare ogni canale logico con il corretto tempo-macchina di LHC in modo da poter stabilire il bunch crossing (BX) che ha generato il segnale nel Front-End e poter così assegnare all'evento il corretto "BX identifier". L'importanza di questo processo è evidente ai fini di permettere il trigger delle particelle d'interesse [§3.2].

Perchè questo sia possibile è necessaria una procedura di riallineamento temporale dei canali logici: infatti, i segnali provenienti da diversi canali, subiscono diversi ritardi sia a causa del tempo di volo delle particelle, che raggiungono le varie zone di diverse stazioni in tempo diverso, sia a causa del diverso percorso che essi compiono nell'elettronica.

A questa seconda fonte di ritardo contribuisce sia il diverso tempo necessario ai segnali a raggiungere l'elettronica di trigger, sia il diverso numero di processi logici necessari a formare i canali logici.

Per permettere riallineare i canali logici è necessario effettuare fondamentalmente 2 operazioni:

1. Allineare i canali fisici provenienti da stazioni o regioni del rivelatore diverse.

2. Calcolare e compensare i ritardi che, i diversi canali logici, acquistano nell'elettronica.

Per soddisfare queste richieste è necessario misurare e compensare il ritardo Δt di ogni canale fisico prima di inviare le informazioni al trigger di livello zero. A causa dell'ampio intervallo di variabilità del ritardo Δt (diversi periodi di "bunch crossing", in pratica multipli di 25ns) rispetto alla risoluzione richiesta (pochi ns) questo ritardo è stato suddiviso in due parti corrispondenti a due misure da effettuare separatamente:

1. Il "Coarse delay", $\Delta t_c = INT(\frac{\Delta t}{25ns})$ che esprime il numero intero di colpi di clock di cui è composto l'intero ritardo.
2. Il "Fine delay" $\Delta t_f = \Delta t - \Delta t_c$, che misura la fase del ritardo rispetto al clock macchina in passi da 1,56 ns (1/16 del periodo)

La misura è effettuata tramite il chip SYNC delle schede ODE [§5.3] che, attraverso un TDC (Time to Digital Converter) appositamente realizzato, permette di creare degli istogrammi dei tempi di arrivo di ogni singolo canale logico e di ricavarne prima il "Coarse delay" e quindi, cambiando la scala temporale, il "Fine delay".

Attraverso il PDM è possibile effettuare questa operazione anche in assenza dei fasci di particelle.

Tramite una procedura (Figura 6.22) gestita dal TTC system (il sistema di sincronizzazione e controllo di LHC), viene lanciato un comando broadcast di inizio della procedura di calibrazione che provoca, all'interno del PDM, la generazione del segnale "BC_pulse". Questo impulso sincrono viene utilizzato dalle Services Boards per gestire la funzionalità di "auto-impulsaggio" dei chip DIALOG del front-end. In questo modo, al posto dei segnali provenienti dalle camere per i muoni, un opportuno pattern è inviato nei canali logici e raggiunge le schede ODE, simulando il passaggio di una particella nelle zone interessate. Contemporaneamente il TTC system emula il funzionamento reale dell'apparato

inviando il segnale di trigger di livello zero come se un evento fosse stato realmente rilevato al momento dell'invio del pattern.

Se dividiamo il ritardo che ogni segnale matura nel rivelatore di muoni in due parti, una dal punto di rilevazione fino ai chip CARIOCA, che generano i canali fisici, e l'altra da qui fino all'elettronica di trigger capiamo che, la procedura sopra descritta, permette di misurare questa seconda porzione del ritardo senza aver bisogno della fisica dei fasci di protoni. Questo permetterà di abbreviare notevolmente il tempo necessario per la calibrazione del sistema durante il funzionamento dell'anello d'accumulazione giungendo in tempi più brevi alla fase d'acquisizione dati.

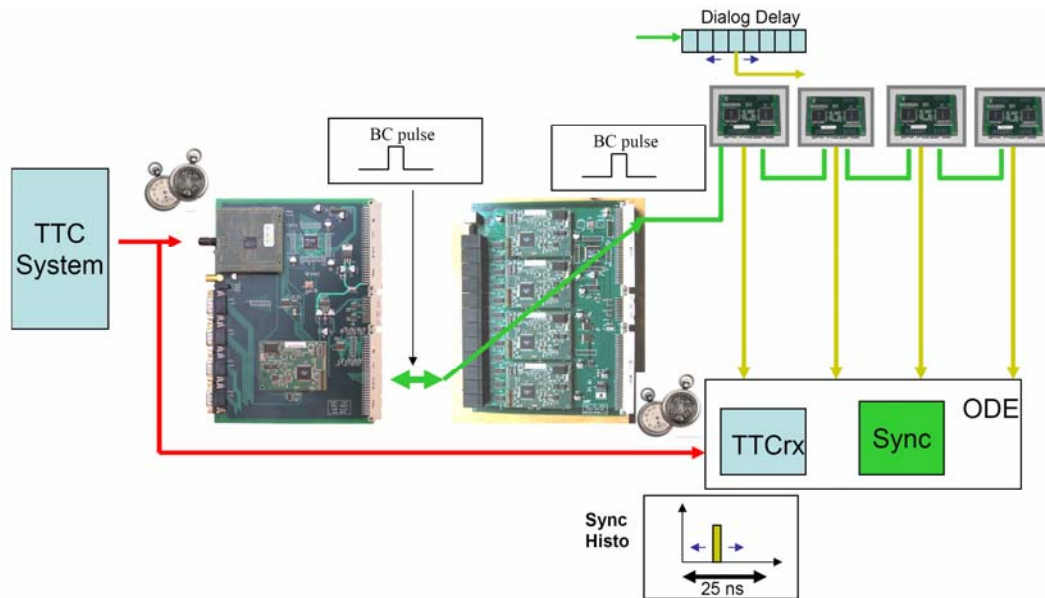


Figura 6.22: Schema della procedura di pre-calibrazione dell'elettronica senza fisica.

Requisito fondamentale perché sia effettivamente possibile utilizzare questa procedura è che il segnale BC_pulse non influisca in modo significativo sul jitter del sistema. Per la verifica di questa caratteristica è stata effettuata l'analisi del jitter che affligge la generazione del segnale emulato, studiando l'andamento dei ritardi tra l'invio del comando broadcast di calibrazione e la generazione del pattern nel Front-End. In buon accordo con i requisiti richiesti, la variazione del ritardo misurata è inferiore ad 1 ns (max-min) con un jitter inferiore a 0.3 ns. A

titolo di esempio, in Figura 6.23 è riportato l'istogramma dei ritardi per uno dei canali studiati.

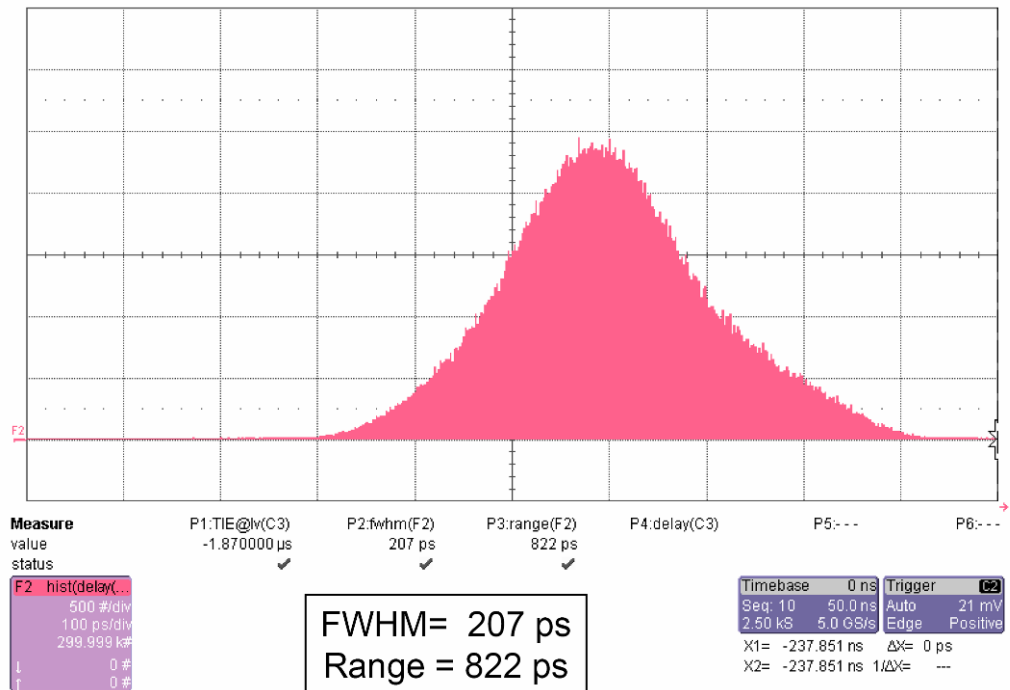


Figura 6.23: misura del jitter a cui è soggetto il segnale impulsivo generato dal PDM. La misura è stata effettuata studiando l'istogramma dei ritardi fra la generazione del comando broadcast di calibrazione e quella del segnale emulato nelle schede di Front-End.

6.2.2. L'FPGA

La logica necessaria al modulo PDM per la generazione di segnali sincroni e per la gestione delle funzioni di controllo dell'elettronica del modulo (linee di reset e di accensione/spegnimento) è implementata in una FPGA "Actel ProAsic^{PLUS} 150" basata su memoria flash 0,22 µm.

La scelta è ricaduta su questa tecnologia, già adottata sulla Services Board, a seguito dei test descritti nel capitolo §7.6. Al contrario delle FPGA antifuse, precedentemente utilizzate per l'elettronica del Services Boards System, essa può essere configurata più volte, semplificando la fase di progettazione e permettendo

di effettuare cambiamenti alla struttura logica in caso di necessità o di aggiornamento del sistema.

In Figura 6.24 sono riportati lo schema dei registri interni e della logica implementata nel dispositivo e i segnali impulsivi che può generare.

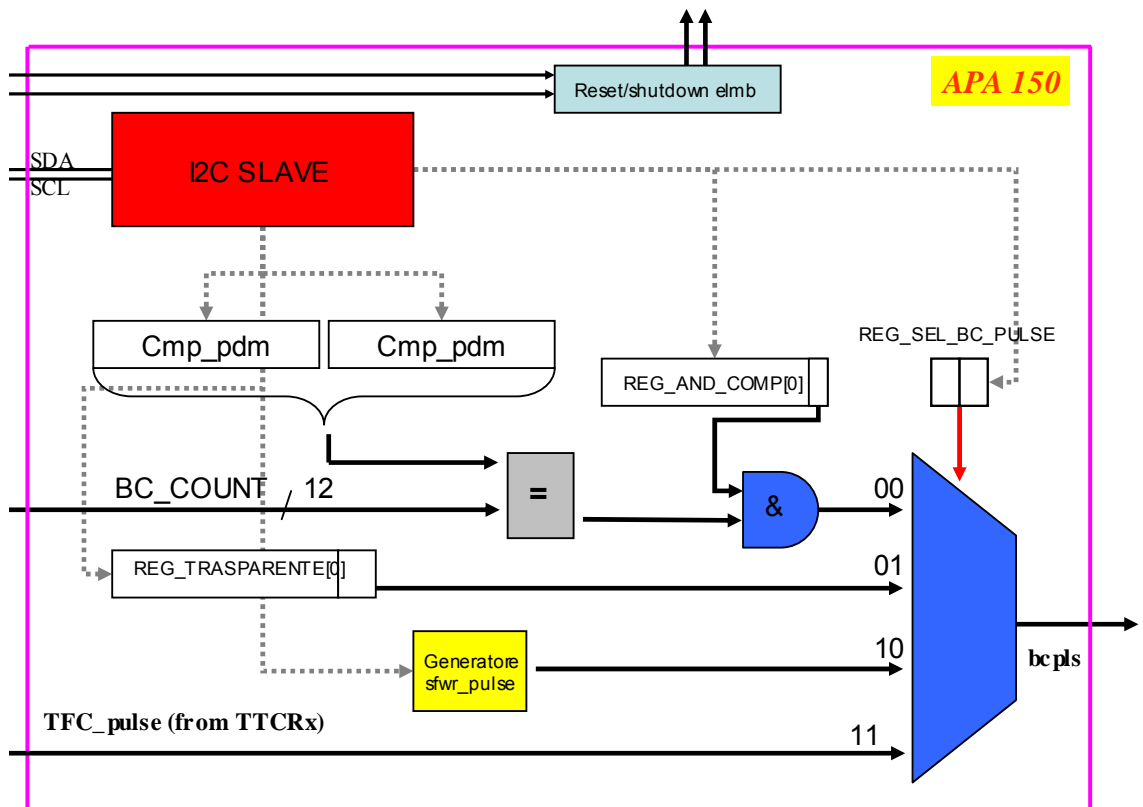


Figura 6.24: Diagramma a blocchi delle funzionalità implementate nell'FPGA Actel APA150 del modulo PDM.

I suoi blocchi funzionali rendono possibile la generazione di diversi segnali, sincroni e in fase con il clock macchina dell'esperimento, utilizzati per la procedura di allineamento temporale, descritta nel paragrafo precedente, e per permettere alla Services Board e al Front-End di operare in maniera sincrona con le orbite di LHC.

All'interno dell'FPGA è implementata un'interfaccia "I²C slave" attraverso la quale è possibile accedere ai registri interni e configurare il multiplexer che seleziona la fonte del segnale impulsivo "BC_pulse".

Quattro sono i segnali selezionabili:

1. Un impulso, sincrono col clock macchina di LHC, creato da un comparatore ogni volta che il valore del “TTCrx_BCnt” (bus a 12bit in cui viene inviato in tempo reale il “BX identifier” dell’evento che interessa il rivelatore in quel momento) diventa uguale al valore scritto nell’apposito registro del PDM.
2. Un segnale che replica il valore del bit meno significativo del registro REG_Trasparente ,anch’esso accessibile via I²C.
3. Un impulso generato via software, attraverso una macchina a stati sincrona implementata nella logica dell’FPGA, che permette di inviare impulsi a comando.
4. Un segnale impulsivo sincrono e in fase con il clock macchina di LHC attivato dall’apposito comando broadcast di sincronizzazione proveniente dal TTC system.

Essa contiene anche la logica necessaria alla codifica e all’esecuzione dei messaggi broadcast dell’esperimento che, ricevuti dal modulo TTCrx, le vengono inviati su di un bus parallelo nello standard TTL.

Altri due registri gestiscono il reset e le operazioni di accensione/spegnimento dell’ELMB del Pulse Distribution Module che possono essere effettuate sia tramite l’interfaccia I²C, sia utilizzando le due linee denominate “PDM RESET” e “PDM SHUTDOWN” che, attraverso il backplane, connettono direttamente il modulo a tutte le Services Boards: in caso di blocco del microcontrollore è così possibile eseguire le operazioni necessarie al ripristino accedendo a una qualunque delle altre ELMB presenti sui nodi CAN-bus.

Anche tutte le linee necessarie per il funzionamento del TTCrx, come il reset e le linee di configurazione, sono pilotate attraverso i pin di I/O di questa FPGA.

7. Test e Qualificazione dell'Elettronica del Services Boards System.

Come ribadito più volte nei capitoli precedenti, l'elettronica del Services Boards System opererà in ambiente esposto a particelle ionizzante [§4.2] e dovrà possedere alcuni requisiti di resistenza questo tipo di radiazione [58]. Grazie all'analogia con i requisiti richiesti per l'elettronica utilizzata nelle applicazioni spaziali, è stato possibile scegliere molti dei dispositivi elettronici da utilizzare attingendo a database preesistenti di componenti "COTS" utilizzata per missioni spaziali **Errore. L'origine riferimento non è stata trovata.** Per altri dispositivi, invece, si è verificata la necessità di appositi test di qualificazione per appurarne la possibilità di utilizzo nell'esperimento, contribuendo così ad ampliare la lista dei componenti utilizzabili in ambiente esposto a radiazione ionizzante e bilanciando così lo scambio di tecnologie fra la fisica delle alte energie e le applicazioni per lo spazio. Di seguito verranno descritti questi test e discussi i loro risultati anche il prospettiva di un loro possibile impiego in ambiente spaziale.

7.1. L'ELMB

La produzione degli ELMB e i suoi componenti sono stati qualificati all'utilizzo in ambiente esposto a radiazione ionizzante tramite il test di 12 schede [55] effettuato presso il "CYClotron of LOuvain-la-NEuve" (CYCLONE) [56] dell'"Università Catholique de Louvain", Belgium. I 12 moduli sono stati esposti a un fascio di portoni a 60MeV con un flusso di $2 \cdot 10^8$ protoni \cdot cm $^{-2}$ s $^{-1}$ fino a raggiungere un flusso integrato di $1 \cdot 10^{11}$ protoni \cdot cm $^{-2}$, equivalenti a 14Krad. Il firmware originale è stato sostituito con uno ad-hoc [57], contenente test per la ricerca sistematica di SEE nella SRAM, nell'EPROM, nella memoria flash dell'ATmega128 e nei registri del controller CAN . Per completezza nella caratterizzazione, il test è stato effettuato sulla versione analogica dell'ELMB e sono stati studiati anche 4 canali d'uscita dell'ADC e i suoi registri di

configurazione. Il programma di test effettua un ciclo di verifica ogni 5 secondi per tutta la durata dell'irradiamento.

A livello del funzionamento del modulo, sono stati rilevati solo 3 SEE per tutto il flusso integrale del test ($1.2 \cdot 10^{12}$ protoni \cdot cm⁻²) con riflessi sull'operatività dell'ELMB: uno riguardante l'ADC e gli altri riguardanti il funzionamento del microcontrollore ATmega128. Tutti gli errori introdotti, comunque, sono stati risolti o con un reset automatico delle impostazioni, effettuato dal sistema di monitor (per l'ADC), o dal watch-dog (per l'ATmega) o, in un solo caso, con un power-cycling effettuato manualmente. Non sono stati osservati invece SEE con effetti distruttivi (SEL¹⁰). I risultati di questo test sono riportati in Tabella 7.1.

Diverso invece è la situazione per quanto riguarda lo studio sistematico di errori di tipo SEU nelle memorie e nei registri del modulo. In Figura 7.1 è riportato il numero totale di SEU rilevati, nei 2kBytes di SRAM del modulo su cui è stato inserito un altrettanto lungo shift-register, in relazione al flusso integrale assorbito. Per completezza i risultati sono confrontati con quelli ottenuti in altri 2 test equivalenti effettuati su 2 versioni precedenti dell'ELMB.

Metodo di risoluzione	Numero SEE rilevati per $1.2 \cdot 10^{12}$ protoni\cdotcm⁻² (168Krad)	Flusso medio per errore (protoni\cdotcm⁻²)
Power cycling	1	$1.2 \cdot 10^{12}$
Software reset	1	$1.2 \cdot 10^{12}$
Reinizializzazione	1	$1.2 \cdot 10^{12}$
Numero totale di operazioni di ripristino necessarie	3	$4.0 \cdot 10^{11}$

Tabella 7.1: Numero di SEEs per ciascun metodo di ripristino

È interessante osservare quanto sia il divario fra la prima versione del modulo, l'ELMB103(linea blu) , dotato di un microcontrollore ATmega103 con tecnologia 0.5 μ m , e le successive, provviste di ATmega128 con tecnologia 0.35 μ m. La

¹⁰ Nel caso di un SEL (Single Event Latchup), la carica depositata da una particella ionizzante può aprire un canale di conduzione a bassa resistenza nel dispositivo, connettendo la sua tensione di alimentazione a massa. Se non vi sono meccanismi di limitazione della corrente, il dispositivo può subire danni permanenti.

sezione d'urto SEU ($\sigma_{SEU} = \frac{N^{\circ}SEU}{\text{flusso di particelle}}$) per bit passa da $3.6 \cdot 10^{-12}$ (SEU per byte)/(protoni*cm⁻²) per la vecchia tecnologia a rispettivamente $5.4 \cdot 10^{-13}$ e $4.9 \cdot 10^{-13}$ (SEU per byte)/(protoni*cm⁻²) per la tecnologia attuale. Il diverso risultato fra il test descritto (cerchiato in rosso) e il precedente dipende sia dal fatto che il SEU è un fenomeno stocastico, sia dalla diversa produzione di ELMB128 presa in considerazione.

Per quanto riguarda l'EEPROM e la memoria Flash **non sono stati rilevati errori SEU** sui 2048 bytes della prima e i 5757341 bytes della seconda sottoposti al test. Ricordando la natura statistica di questi effetti non possiamo affermare che questi tipi di memoria non ne siano soggetti, ma, per dare una stima alla probabilità di avere SEU, possiamo considerare che se avessimo trovato 1 errore la σ_{SEU} /byte sarebbe stata di $4.1 \cdot 10^{-16}$ (SEU per byte)/(protoni*cm⁻²) per la EEPROM e di $1.4 \cdot 10^{-17}$ (SEU per byte)/(protoni*cm⁻²) per quanto riguarda la memoria Flash.

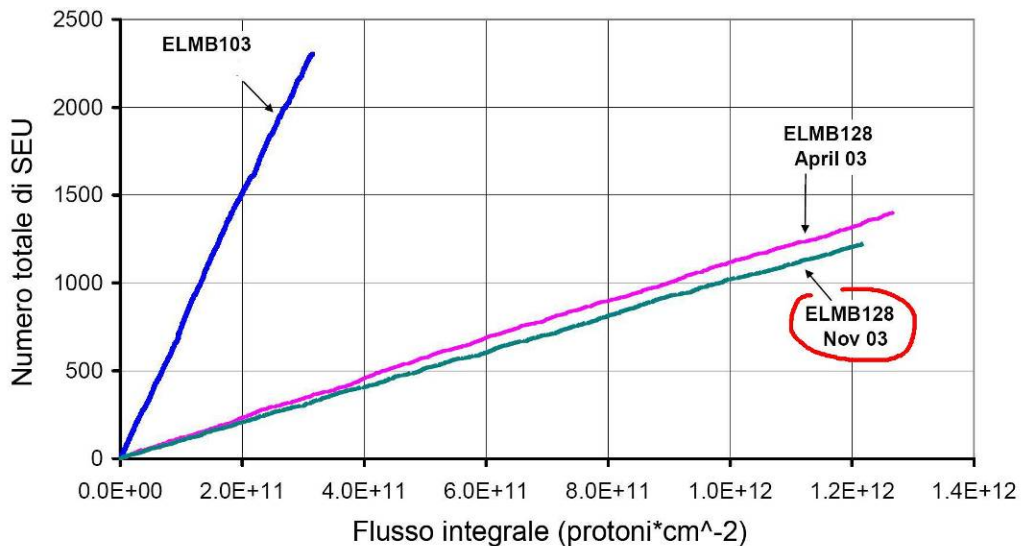


Figura 7.1: Numero di SEU rilevati su 3 diverse produzioni di ELMB.

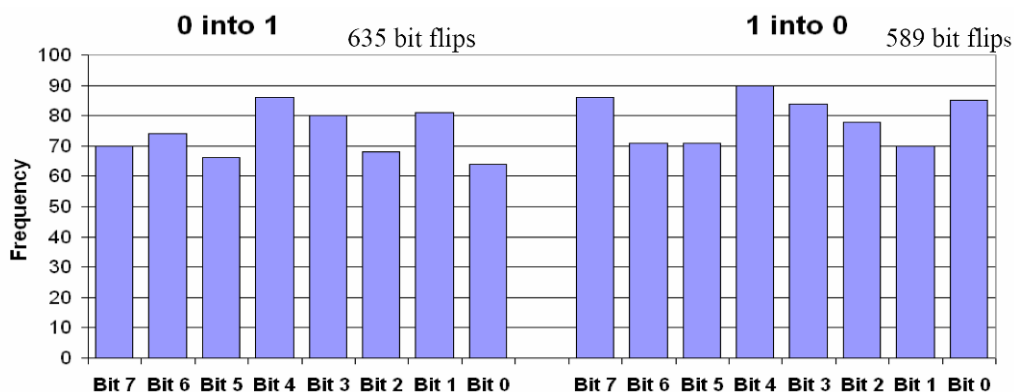


Figura 7.2: Numero di cambiamenti da 0 a 1 e da 1 a 0 nei bit dell'SRAM sotto esame conteggiati per posizione nel byte. Il numero totale di cambiamenti di stato del singolo bit ammonta a 1224 ed è distribuita in maniera piuttosto uniforme rispetto al bit e alla polarità.

Sono stati sottoposti a test anche i bit di configurazione del controller CAN, del convertitore analogico-digitale e del microcontrollore ATmega128, trovando un certo numero di errori SEU. I risultati di questi test sono riassunti nella Tabella 7.2.

Oltre alla ricerca sistematica di SEE, il flusso di protoni del ciclotrone CYCLONE a permesso di studiare anche gli effetti dovuti alla dose totale (TID). Durante il test si è verificata la possibilità di scrittura sulla memoria Flash a passi di 3.5Krad per cercare il limite sopra il quale la programmabilità della memoria flash viene persa. Lo studio effettuato sul primo dei 12 moduli esaminati ha verificato che i 14Krad di TID assorbiti durante il test non sono sufficienti a raggiungere tale limite. Per le altre schede quindi non è stato studiato questo aspetto. In realtà si è persa la programmabilità della memoria soltanto per una scheda che, per errore, è stata esposta ad un flusso 5 volte maggiore delle altre per un tempo indefinito. Potremmo pensare che, almeno in linea di principio, questo limite sia da cercare sotto i $5 \cdot 14 = 70$ Krad, valore lontano dalla dose totale prevista per il modulo durante l'esperimento e accettabile anche per ipotizzarne l'utilizzo in applicazioni spaziale non particolarmente soggette a radiazione. Bisogna osservare anche che, sottoponendo l'elettronica ad un flusso elevato e per breve tempo, non si può osservare nessuna riduzione degli effetti dovuti a dose totale a causa di perdita di parte della carica accumulata per effetto dell'energia termica e che, quindi, i limiti trovati per la dose totale che il dispositivo può sopportare possono dipendere dal flusso e potrebbero essere più alti.

Memoria sotto test	Numero di bits	Numero di SEU rilevati	Sezione d'urto per bit (N°SEU*cm ²)/(protoni*bit)
SRAM	16384	1224	$6.2*10^{-14}$
EEPROM	16348	<1	$<5.1*10^{-17}$
FLASH	458728	<1	$<1.8*10^{-18}$
CAN registers	256	59	$1.9*10^{-13}$
ADC registers	264	5	$1.6*10^{-14}$
ATmega128 registers	80	1	$1.0*10^{-14}$

Tabella 7.2: Risultati della ricerca sistematica di SEU sull'ELMB128

Sono stati misurate anche le variazioni di assorbimento di corrente delle varie parti dell'ELMB e le variazioni di tensione dei suoi tre regolatori di tensione dovute alla dose totale, confrontando i valori ottenuti con quelli misurati sui 12 moduli prima dell'esposizione al flusso di protoni. Nelle figure da 7.3 a 7.7 sono riportati i valori registrati sui moduli sotto test per i componenti interessanti per l'elettronica di controllo dell'esperimento LHCb. Le variazioni sono minime e comunque in buon accordo con le specifiche richieste dai componenti del modulo (<3%).

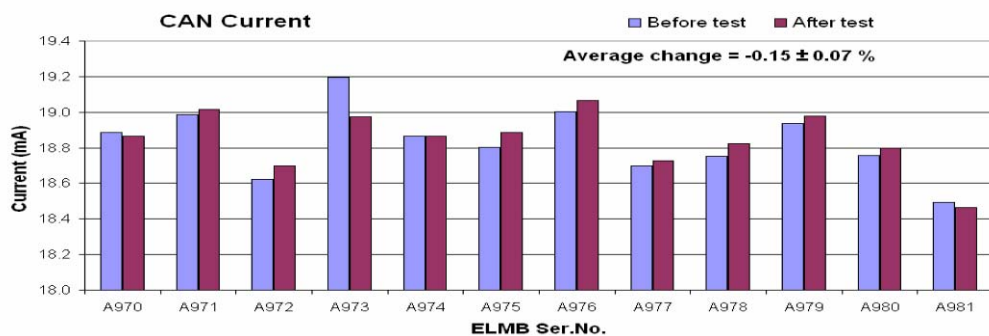


Figura 7.3: corrente assorbita dal controller CAN prima e dopo il test.

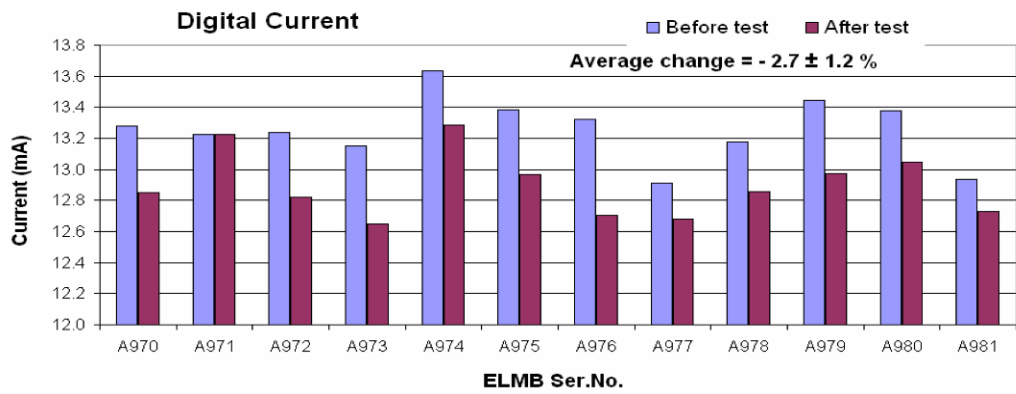


Figura 7.4: corrente assorbita dal circuito digitale prima e dopo il test

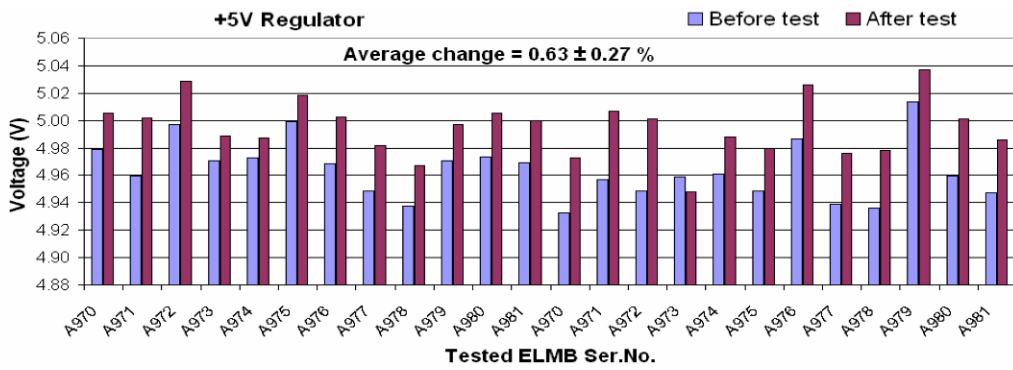


Figura 7.5: tensione di uscita del regolatore 5V

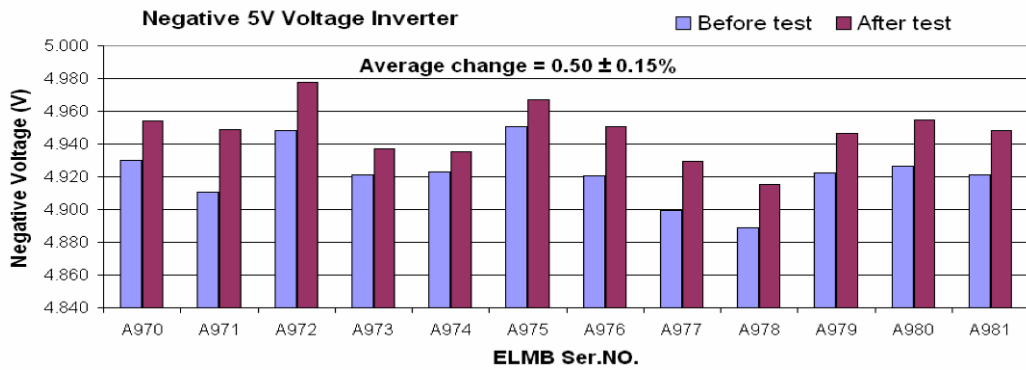


Figura 7.6: tensione di uscita del regolatore -5V.

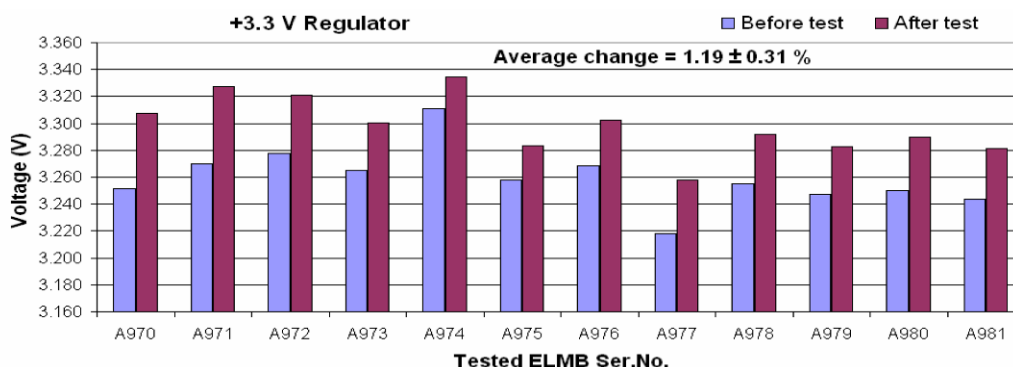


Figura 7.7: tensione di uscita del regolatore 3.3V.

7.2. SPI FLASH ROM Atmel AT45DB041B.

Il test di questo dispositivo [59] è stato effettuato presso il ciclotrone CYCLONE utilizzando un fascio di protoni a 60 MeV con un flusso di $5 \cdot 10^8$ protoni $\cdot\text{cm}^{-2}\text{s}^{-1}$ fino a raggiungere un flusso totale di $2 \cdot 10^{11}$ protoni $\cdot\text{cm}^{-2}$ equivalenti ad una dose totale di 28Krad. Utilizzando un pattern a media nulla del tipo 101010.....10 la memoria di 4 chip è stata programmata e verificata durante tutta la durata del test: nessun SEU è stato rilevato nei 4,325,376 bits della memoria flash mentre qualche SEU di è verificato nei due buffer dati da 264-byte di SRAM. I risultati del test sono riportati in Tabella 7.3.

Numero chip sotto test	Numero di SEU	Numero di bit in blocco permanente	Numero di SEL	Numero di SEE distruttivi
	Flusso totale (protoni $\cdot\text{cm}^{-2}$)	Flusso totale (protoni $\cdot\text{cm}^{-2}$)	Flusso totale (protoni $\cdot\text{cm}^{-2}$)	Flusso totale (protoni $\cdot\text{cm}^{-2}$)
D1	83 (RAM)	0	0	0
	$2 \cdot 10^{11}$	$2 \cdot 10^{11}$	$2 \cdot 10^{11}$	$2 \cdot 10^{11}$
D2	83 (RAM)	0	0	0
	$2 \cdot 10^{11}$	$2 \cdot 10^{11}$	$2 \cdot 10^{11}$	$2 \cdot 10^{11}$
D3	38 (RAM)	0	0	0
	$2 \cdot 10^{11}$	$2 \cdot 10^{11}$	$2 \cdot 10^{11}$	$2 \cdot 10^{11}$
D4	56 (RAM)	0	0	0
	$2 \cdot 10^{11}$	$2 \cdot 10^{11}$	$2 \cdot 10^{11}$	$2 \cdot 10^{11}$

Tabella 7.3: Risultati della ricerca sistematica di SEE sulla memoria FLASH Atmel AT45DB041B.

Questo tipo di memoria Flash si è dimostrato pressoché immune al SEU: si presta, quindi, a contenere dati importanti come i valori dei calibratura dell'elettronica di Front-End. Lo studio degli effetti dei 28 Krad di TID sul dispositivo non hanno messo in luce nessun malfunzionamento e la corrente assorbita è rimasta nei limiti riportati nelle specifiche del dispositivo.

7.3. I/O REGISTERS Philips PCF8575

Anche questo dispositivo è stato qualificato per l'utilizzo nella caverna di LHCb tramite ricerca sistematica di SEU con protoni a 60 MeV. Esso è stato irradiato con un flusso pari a $1 \cdot 10^8$ protoni \cdot cm $^{-2}$ s $^{-1}$ fino a raggiungere un flusso totale di $3 \cdot 10^{11}$ protoni \cdot cm $^{-2}$ equivalenti ad una dose totale di 42Krad. I 4 dispositivi sotto test sono stati monitorati durante l'irradiamento scrivendo e leggendo diversi patterns attraverso I 2 C bus. Non sono stati rilevati né SEE né incrementi dei consumi dovuti a dose totale.

7.4. Transmitters e Receivers TTL/LVDS

Lo stesso tipo di fascio è stato utilizzato per il test dei "drivers DS90LV047ATM" e dei "receivers DS90LV048ATM" utilizzati per la trasmissione dei segnali lungo i rami del Front-End.

Quattro dispositivi per ogni tipo sono stati irradiati con $3 \cdot 10^8$ protoni \cdot cm $^{-2}$ s $^{-1}$ fino a raggiungere un flusso totale di $5 \cdot 10^{11}$ protoni \cdot cm $^{-2}$ equivalenti ad una dose totale di 70Krad. Il test è stato effettuato utilizzando come input per il chip, alimentato a 3.3V, un clock a 40 MHz nello standard adatto e monitorando il segnale d'uscita e l'assorbimento di corrente. Nessun SEE e nessun aumento della corrente assorbita è stato osservato.

7.5. Qualificazione dell'EEPROM Microchip 24LC00 e dei regolatori di tensione.

Molti dei componenti della Services Board sono stati scelti da database di componenti qualificati per utilizzo in applicazioni spaziali o nella fisica delle alte energie, con tolleranza alle particelle ionizzanti nota. Questo non è avvenuto per la “EEPROM Microchip 24LC00” e per i 2 regolatori di tensione “LP2953” (2.5 Volt) e “LM3940” (3.3 Volt).

Ho realizzato la loro qualificazione tramite la ricerca sistematica di SEE e lo studio degli effetti di dose totale, progettandone e effettuandone il test presso il ciclotrone CYCLONE, non limitandomi soltanto a verificarne le funzionalità nei 10Krad previsti nei 10 anni di fisica dell'esperimento LHCb, ma investigando il loro comportamento fino a un dose totale equivalente di 30 Krad per stimarne le possibilità di l'utilizzo anche in applicazioni spaziali che permettano l'impiego di componenti commerciali tolleranti alle radiazioni .

Il test ha coinvolto 4 EEPROM e 3 regolatori di tensione per ogni qualità presi dallo stock scelto per la produzione delle Services Board, ognuno dei quali è stato irradiato con un flusso pari a $5 \cdot 10^8$ protoni* $\text{cm}^{-2}\text{s}^{-1}$, equivalente a 0,07 Krad*s⁻¹, fino al raggiungimento di una dose totale equivalente di almeno 30 Krad.

7.5.1. Test dell'EEPROM

Le 4 EEPROM sono state testate con il banco di test mostrato in Figura 7.8. La memoria è montata su una semplice scheda appositamente realizzata, alimentata a 5Volt con un alimentatore da banco e irradiata col fascio di protoni a 60MeV. Un interfaccia I2C/USB collega il dispositivo ad un calcolatore di controllo che viene utilizzato per scrivere e controllare diversi pattern sull'EEPROM durante il test.

Un amperometro digitale, con risoluzione di 0,1 μA legge a intervalli regolari di 0,5 s il valore della corrente assorbita dal dispositivo e invia questi dati al calcolatore di controllo tramite interfaccia RS232.

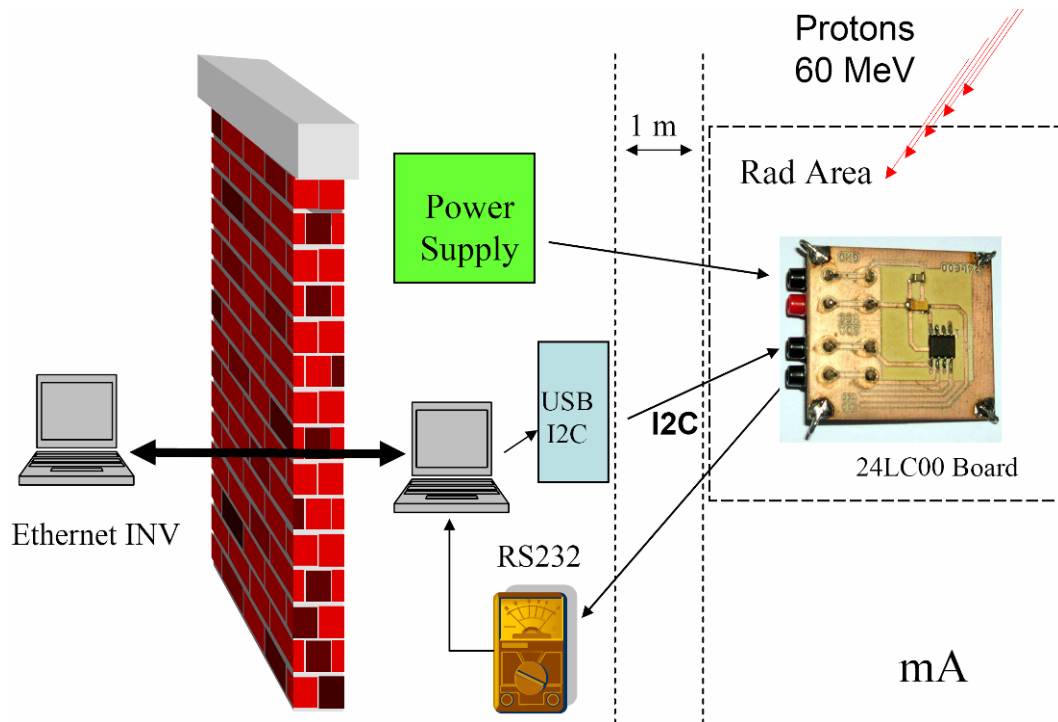


Figura 7.8: Setup del radiation test dell'EEPROM 24LC00

Un software scritto appositamente si occupa di registrare tutti i dati ricevuti dall'amperometro e il risultato delle transizioni di scrittura/lettura sui registri. Tutto l'apparato di alimentazione, monitor e controllo è situato nella stanza del fascio a 1 metro da esso e viene gestito tramite un secondo calcolatore, posto nella stanza di controllo, tramite una connessione Ethernet.

La ricerca di errori SEE nei 128 bit di memoria dell'EEPROM viene effettuata scrivendo un certo pattern all'inizio del test a scelta fra quelli previsti dal software (nel nostro caso numeri progressivi da 1 a 16 o byte a media nulla come 55 hex) e leggendo continuamente il loro contenuto. Il software di test registra su un file i risultati di ogni lettura e il tempo corrispondente. Contemporaneamente vengono registrati su un altro file i valori di corrente misurati durante il test con i relativi tempi di lettura, in modo da poter sia rilevare eventuali SEL, sia studiare gli effetti di dose totale. Anche se l'analisi dei dati viene effettuata off-line, i file di registro sono visualizzati in una semplice pagina html autoaggiornate che ne permette la visualizzazione praticamente in real-time.

Il test della seconda delle quattro EEPROM in esame è stato interrotto a causa di un crash del calcolatore di controllo, quindi i dati riguardanti questo dispositivo sono incompleti e sono presi in esame solo per la stima della sezione d'urto SEU.

Quanto agli altri 3 dispositivi intorno ai 30Krad equivalenti effetti di dose totale ne hanno interrotto il funzionamento definitivamente: semplicemente le operazioni di lettura non sono più stata possibili. Considerando quanto detto i 128bit dei dispositivi sono stati esposti ad un flusso integrale complessivo di $7,3 \cdot 10^{11}$ protoni*cm⁻², equivalenti ad una dose totale di 102 Krad non rilevando nessun SEU. Se avessimo avuto un solo evento durante il test la sessione d'urto SEU per bit ottenuta sarebbe stata di:

$$\sigma_{SEU} = \frac{N^{\circ}SEU}{\text{flusso integrale} \cdot \text{bit}} = 1,07 \cdot 10^{-14} \text{ (SEU per byte) / (protoni} \cdot \text{cm}^{-2}) \text{ .}$$

Possiamo affermare in buona approssimazione che la sezione d'urto SEU per questo tipo di memoria sia più piccola di questo valore.

L'analisi dei dati sulla corrente assorbita non ha messo in luce nessun SEL, anche se, superato un certo valore di dose totale, il valore di tale corrente è cominciato a crescere in maniera continua e esponenziale fino a portare alla rottura del dispositivo tra i 27 e i 30 Krad di dose totale equivalente..

In Figura 7.9 è riportato l'andamento della corrente assorbita in funzione della dose totale. Si nota che nella zona d'interesse per il Services Boards System, cioè fino a 10Krad, il consumo di corrente resta praticamente immutato e così rimane fino a circa 20Krad, dopo i quali si nota la crescita esponenziale fino a giungere al punto di rottura del dispositivo A circa 30Krad.

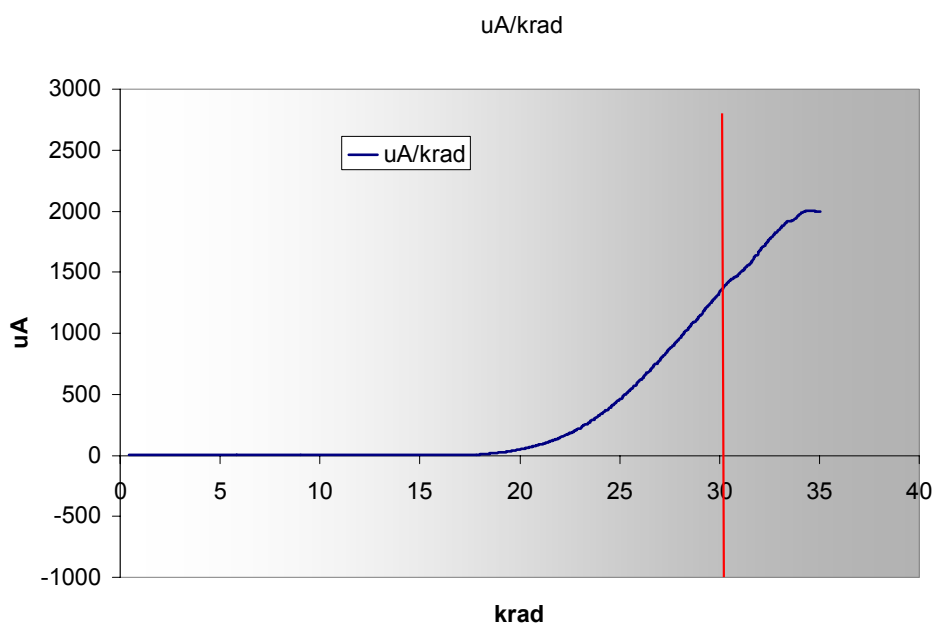


Figura 7.9: andamento della corrente all'aumento della dose totale assorbita per l'EEPROM Microchip 24LC00

7.5.2. Test dei due regolatori

3 LP2953 e 3 LM3940 sono stati testati con un banco di test simile al precedente e mostrato in Figura 7.10.

I regolatori sono stati inseriti su una piccola scheda di alimentazione su cui è montato un carico di circa $20\text{ K}\Omega$ e alimentati a 5Volt con un alimentatore da banco. Grazie a 2 tester digitali con interfaccia seriale RS232 vengono lette, ad intervalli di 0,5 s, la tensione d'uscita del regolatore e la corrente di alimentazione. I dati sono inviati al computer di controllo, sito nella stanza del fascio, a circa un metro da esso che ne archivia i risultati in un database. Un cavo ethernet collega questo computer alla stanza di controllo da dove, grazie ad un secondo computer, è possibile monitorare il test e sincronizzare il database per backup.

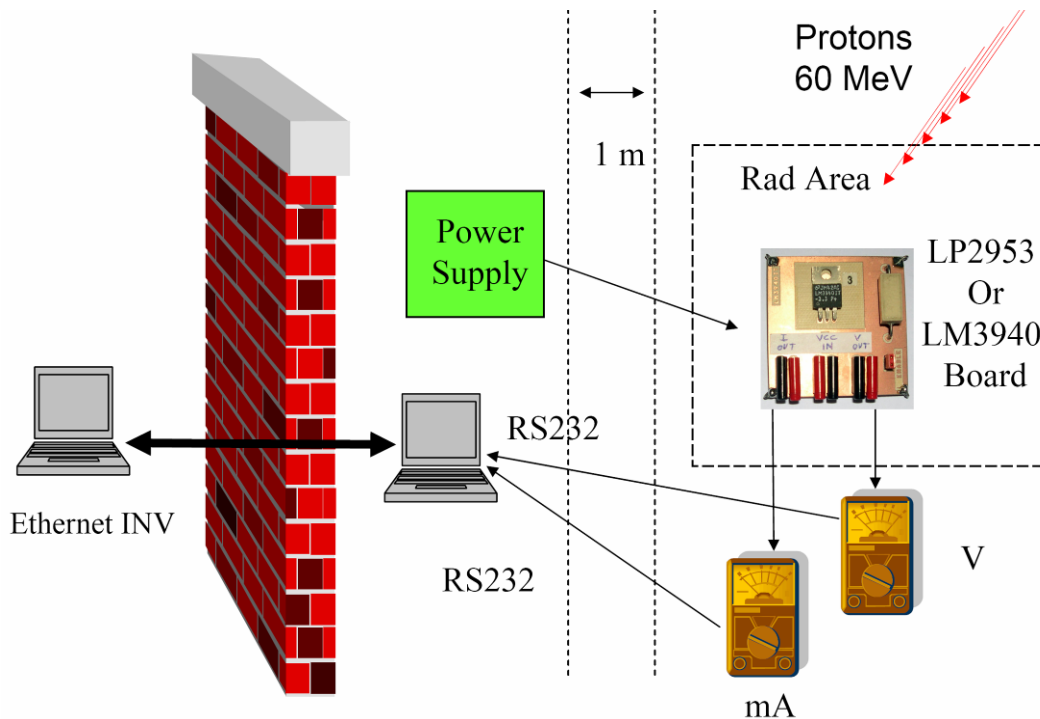


Figura 7.10: Setup dei radiation test dei due regolatori di tensione LP2953 e LM3940

I dati acquisiti sono poi analizzati offline alla ricerca di picchi di tensione dovuti a SEE e di effetti dovuti alla dose totale. La tensione d'uscita e la corrente assorbita da ogni dispositivo sono state misurate all'inizio del test, e poi monitorate per tutta la durata dell'irraggiamento. Entrambi i dispositivi sono stati irradiati con protoni a 60MeV fino a raggiungere una dose totale equivalente superiore ai 30Krad con un flusso di $5 \cdot 10^8$ protoni \cdot cm $^{-2}$ s $^{-1}$ per quanto riguarda i 3 LP2953, e con un flusso di $4 \cdot 10^8$ protoni \cdot cm $^{-2}$ s $^{-1}$ per il LM3940.

L'analisi dei dati acquisiti non ha rilevato nessun SEE nei dispositivi sottoposti al test, mentre le variazioni delle correnti di uscita e delle tensioni di alimentazioni, se pure presenti, sono risultate essere molto lievi, (<2%) entro 10 Krad e comunque accettabili fino ai 30 Krad complessivi del test.

I risultati ottenuti per i 3 regolatori di tensione LP2953 sono riportati in Tabella 7.4 e Tabella 7.5.

N.dispositivo	Vout iniziale (V)	Vout 10Krad (V)	Vout 30Krad (V)	TID (Krad)	Vout finale (V)
1	2,360	2,353 (0,3%)	2,348 (0,9%)	33	2,334 (1,1%)
2	2,444	2,428 (0,7%)	2,348 (3,9%)	37	2,303 (5,8%)
3	2,451	2,439 (0,5%)	2,381 (2,9%)	34	2,363 (3,6%)

Tabella 7.4: Valori misurati delle tensioni di uscite e della corrente media assorbita per i 3 LP2953

N.dispositivo	Corrente Iniziale (A)	Corrente 10Krad (A)	Corrente 30Krad (A)	TID (Krad)	corrente finale (A)
1	135,0	136,5 (-1,1%)	136,1 (-0,8%)	33	135,7 (-0,5%)
2	134,6	136,0 (-1%)	134,6 (0%)	37	133,2 (1%)
3	135,2	136,1 (-0,7%)	136,3 (-0,8%)	34	136,0 (-0,6%)

Tabella 7.5: Valori misurati delle tensioni di uscite e della corrente media assorbita per i 3 LP2953

In Figura 7.11 e Figura 7.12 sono riportate, come esempio, gli andamenti della variazione in percentuale della tensione di uscita e della corrente di alimentazione rapportata alla dose totale equivalente per il dispositivo che ha riportato maggiori variazioni (in tabella N.2).

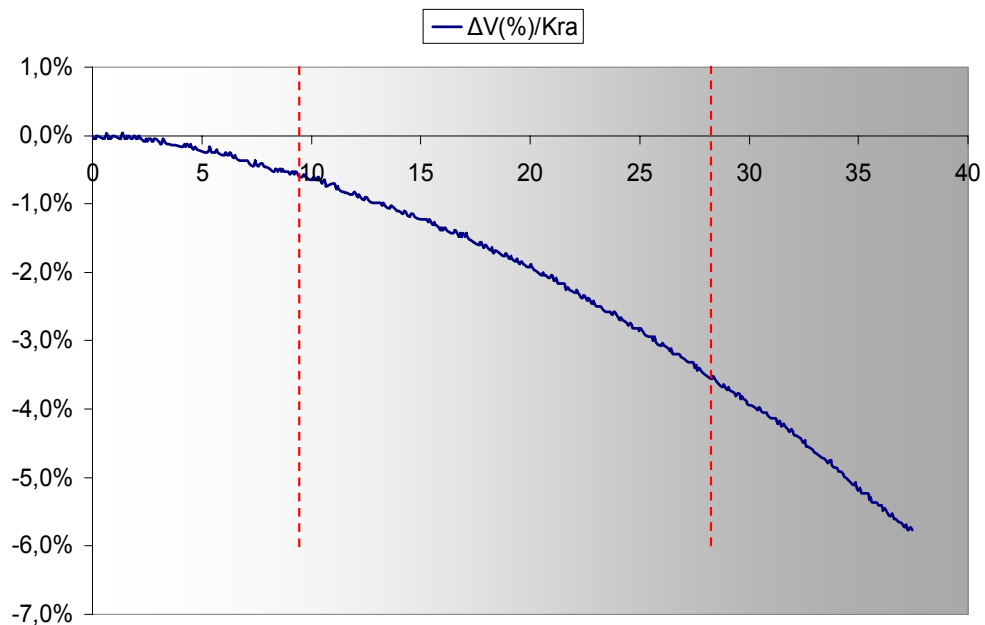


Figura 7.11: Variazione percentuale della tensione di uscita all'aumentare della dose totale per uno dei LP2953

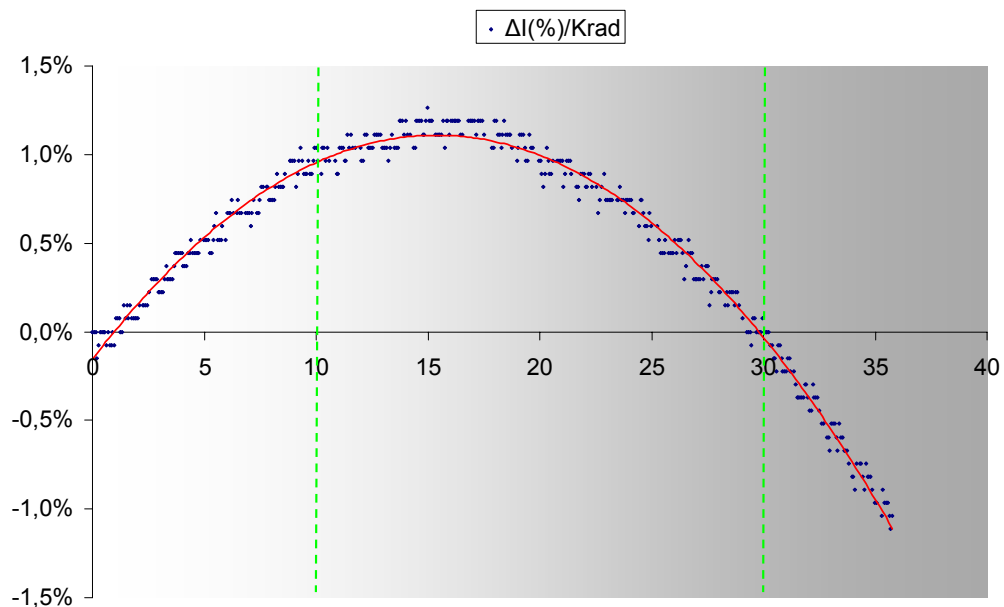


Figura 7.12: Variazione percentuale della corrente assorbita all'aumentare della dose totale per uno dei LP2953

È bene notare che i risultati mostrati sono stati ottenuti con un flusso di particelle piuttosto elevato ($5 \cdot 10^8$ protoni \cdot cm $^{-2}$ s $^{-1}$ \sim 0,07 Krad/s) rispetto a quello medio previsto nella caverna di LHCb ($3 \cdot 10^{-5}$ rad/s), e questo ci può far supporre che molta della carica intrappolata nel silicio e nell'ossido di silicio del dispositivo venga persa spontaneamente per effetto dell'energia termica.

Già pochi secondi dopo aver interrotto l'irraggiamento, infatti, si nota un'inversione di tendenza della variazione di tensione d'uscita e di corrente assorbita, che tendono a tornare verso i valori iniziali.

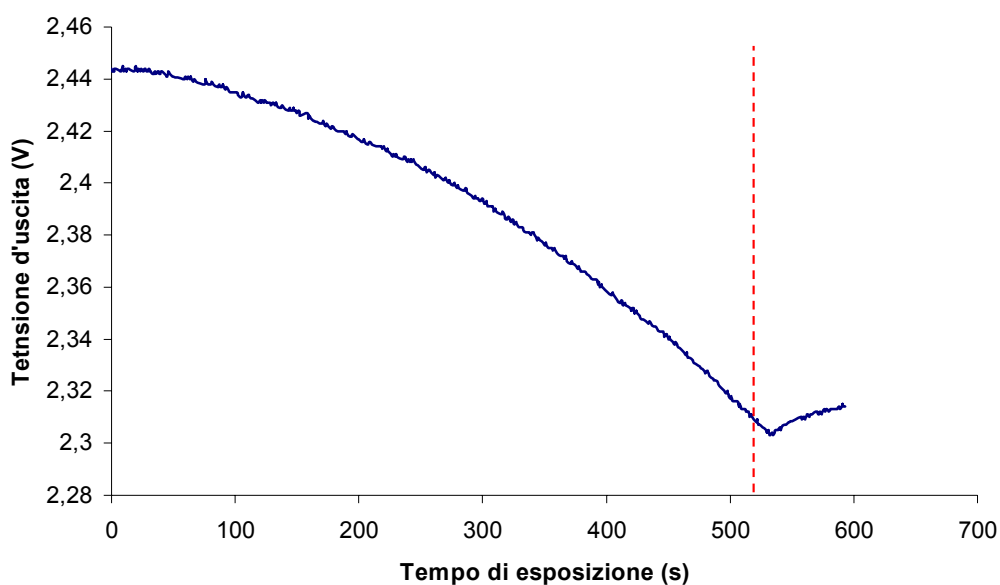


Figura 7.13: Andamento della tensione d'uscita su uno dei LP2953 (in tabella il n.2)

Analogo discorso può essere fatto per il test del regolatore di tensione LM3940 i cui risultati sono riportati in Tabella 7.6 e Tabella 7.7.

Anche qui, una volta finito l'irraggiamento, si nota un cambiamento della tendenza della variazione di tensione d'uscita e di corrente assorbita

N.dispositivo	Vout iniziale (V)	Vout 10Krad (V)	Vout 30Krad (V)	TID (Krad)	Vout finale (V)
1	3,252	3,234 -0,60%	3,187 -2,00%	31	3,185 -2,10%
2	3,231	3,244 -0,40%	3,279 -1,50%	30	3,176 -1,70%
3	3,258	3,24 -0,60%	3,196 -1,90%	34	3,189 -2,10%

Tabella 7.6: Valori misurati delle tensioni di uscite e della corrente media assorbita per i 3 LM3940

N.dispositivo	Corrente Iniziale (A)	Corrente 10Krad (A)	Corrente 30Krad (A)	TID (Krad)	corrente finale (A)
1	186,7	188,9 1,20%	191,3 2,50%	31	191,5 2,60%
2	178,2	179,8 -0,90%	182 2,16%	30	182,2 2,24%
3	193,7	195,7 1%	198,4 2,40%	34	198,5 2,50%

Tabella 7.7: Valori misurati delle tensioni di uscite e della corrente media assorbita per i 3 LM3940

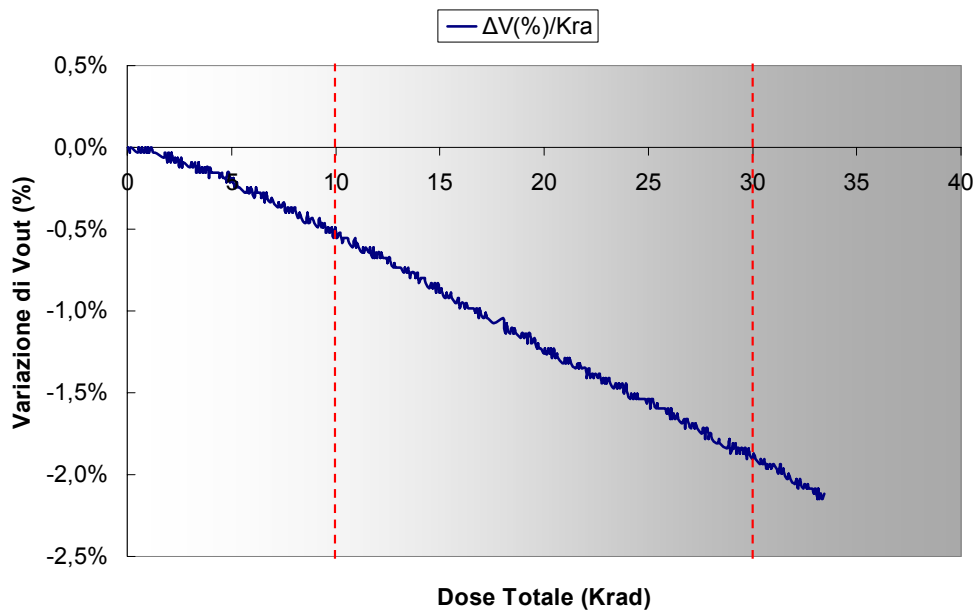


Figura 7.14: Variazione percentuale della tensione di uscita all'aumentare della dose totale per uno dei LM3940 (in tabella il n.3)

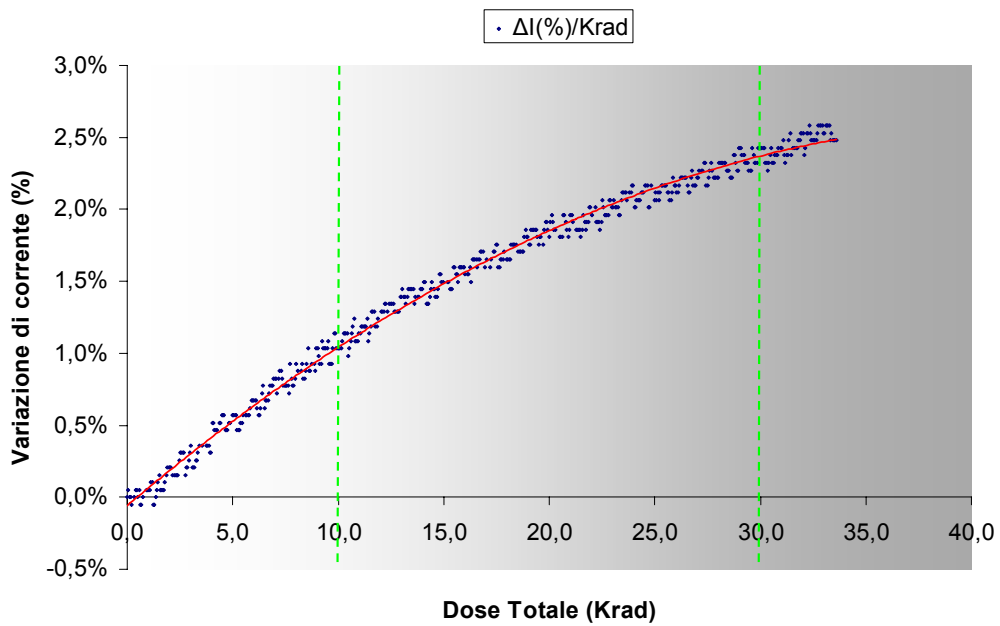


Figura 7.15: Variazione percentuale della corrente assorbita all'aumentare della dose totale per uno dei LM3940 (in tabella il n.3)

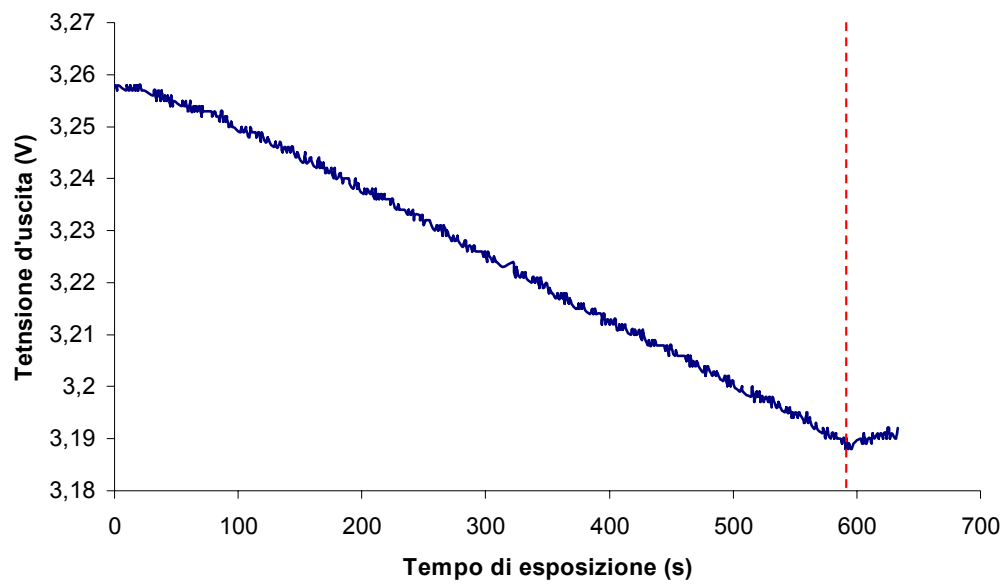


Figura 7.16: Andamento della tensione d'uscita si uno dei LM3940 (in tabella il n.3)

7.6. Test comparativo di tolleranza alle radiazioni tra FPGA Actel

La decisione di utilizzare un'FPGA Actel della famiglia ProAsic^{Plus} con tecnologia Flash 0,22 μm nella Services Board al posto dell'originale Actel A54SX16A, della famiglia SX-A, in tecnologia "CMOS antifuse 0.22/0.25 μm " è seguita ad un test comparativo fra queste due tecnologie [60], rivolto a qualificare l'utilizzo della famiglia ProAsic^{Plus} in tutta l'elettronica del Rivelatore di Muoni di LHCb sita nella caverna (cioè esposta ad una dose totale di $\sim 10\text{Krad}$). e, più in generale, a studiarne il possibile utilizzo in tutte quelle applicazioni che necessitano di tecnologie tolleranti alle radiazioni, tipiche della fisica delle alte energie e delle applicazioni spaziali.

Il test ha riguardato anche, sempre a scopo valutativo, un'FPGA della famiglia Actel Axcelerator in tecnologia "CMOS antifuse 0.15 μm ", con architettura AX, figlia dell'architettura SX-A (cioè quella della A54SX16A), ma più prestante.

I modelli Actel di queste 3 famiglie scelti per la ricerca sistematica di SEE e allo studio degli effetti da dose totale sono stati A54SX16A per la famiglia SX-A, APA300 per la famiglia ProAsic^{Plus} e AX500 per la famiglia Axcelerator.

In Tabella 7.8 sono riportate le principali caratteristiche di queste FPGA.

Sono state sottoposte al test 4 FPGA di ogni famiglia, programmate con una logica appositamente progettata per la ricerca di SEU nei registri interni e nei blocchi di ram a disposizione dei dispositivi.

Quale fonte di radiazione ionizzante è stato utilizzato il fascio di protoni a 60MeV del ciclotrone CYCLONE (CYClotron LOuvain la NEuve) [56] utilizzando un flusso nominale di $5 \cdot 10^7$ protoni $\cdot\text{cm}^{-2}\cdot\text{s}^{-1}$ fino al raggiungimento di un flusso integrato di 10^{11} protoni $\cdot\text{cm}^{-2}$ ($3 \cdot 10^{11}$ protoni $\cdot\text{cm}^{-2}$ per l'APA300), per 2 FPGA di ogni tipo, e un flusso di $5 \cdot 10^8$ protoni $\cdot\text{cm}^{-2}\cdot\text{s}^{-1}$ fino a raggiungere il flusso integrato di $6 \cdot 10^{11}$ protoni $\cdot\text{cm}^{-2}$, per le altre 2.

<ul style="list-style-type: none"> • A54SX16A <ul style="list-style-type: none"> – Antifuse based FPGA – 0.22µm/0.25µm CMOS Process Technology – 24000 (16000) system gates (typical gates) – 924 combinatorial cells – 528(990) dedicated flip-flops (maximum flip-flops)
<ul style="list-style-type: none"> • Axcelerator AX500 <ul style="list-style-type: none"> – Antifuse based FPGA – 0.15µm CMOS Process Technology – 500000 (286000) system gates (typical gates) – 5376 combinatorial cells – 2688(5376) dedicated flip-flops (maximum flip-flops) – 73728 Embedded RAM bits
<ul style="list-style-type: none"> • ProASIC^{plus} APA300 <ul style="list-style-type: none"> – Flash based FPGA – 0.22µm CMOS Process Technology – 300000 system gates – 8192 tiles (registers) – 73728 Embedded RAM bits

Tabella 7.8: Caratteristiche principali dei tre modelli di FPGA esaminati.

Un flusso integrale di protoni di $6 \cdot 10^{11}$ protoni*cm⁻² equivale, ai fini dello studio degli effetti dovuti a radiazione ionizzante, a:

- $\sim 6 \times 10^{11}$ adroni $\sim 20\text{MeV}$ (~ 120 anni di vita di LHCb muon) per quanto riguarda la ricerca di SEE
- ~ 68.5 krad di dose totale (~ 86 anni di vita di LHCb muon)
- $\sim 9 \times 10^{11}$ neutroni(1MeV)*cm-2 per NIEL (~ 10 anni di vita di LHCb muon)

È bene osservare che, anche se la dose equivalente di neutroni a 1 MeV è piuttosto bassa rispetto alle altre (in confronto a quella prevista in LHCb), la tecnologia CMOS si può considerare pressoché immune da danni dovuti a questo tipo di particelle.

I dispositivi da testare sono stati montati in 3 diverse schede “piggyback” (una per ogni tipo di FPGA) appositamente realizzate, ognuna contenente 2 o 4 dispositivi da testare. Tali schede sono state inserite, una alla volta, in una scheda madre comune, posta nella zona interessata dal fascio (Figura 7.17), a sua volta collegata ad una scheda di controllo posta a 2 metri da esso.

La scheda di controllo fornisce tre tensioni di alimentazione (3.3V, 2,5V e 1,5V)



Figura 7.17 Scheda madre del test posta nella zona del fascio.

ai dispositivi sotto test grazie ad una serie di regolatori di tensione locali.

Una serie di ADC a 11bit essa permettono di monitorare gli I/O dei dispositivi e la corrente di core. Essa comunica con un calcolatore, esterno alla stanza del fascio, attraverso un bus di comunicazione seriale RS232,

che permette la configurazione, il monitor e la lettura dei dati, mentre la comunicazione con la scheda madre è realizzata tramite dei driver LVDS. Durante il test la ControlBoard invia patterns noti e verifica se questi vengono ricevuti correttamente confrontandoli con l’output dei dispositivi sotto test, su cui sono implementati una serie di “shift-register, in caso contrario si occupa di contare e segnalare l’errore. Allo stesso tempo scrive e legge in ciclo continuo i blocchi di SRAM delle FPGA irradiate, alla ricerca di SEU. Tutta la logica della ControlBoard è implementata su FPGA Xilinx Virtex XCV100E. Lo schema del banco di test è mostrato in Figura 7.18.

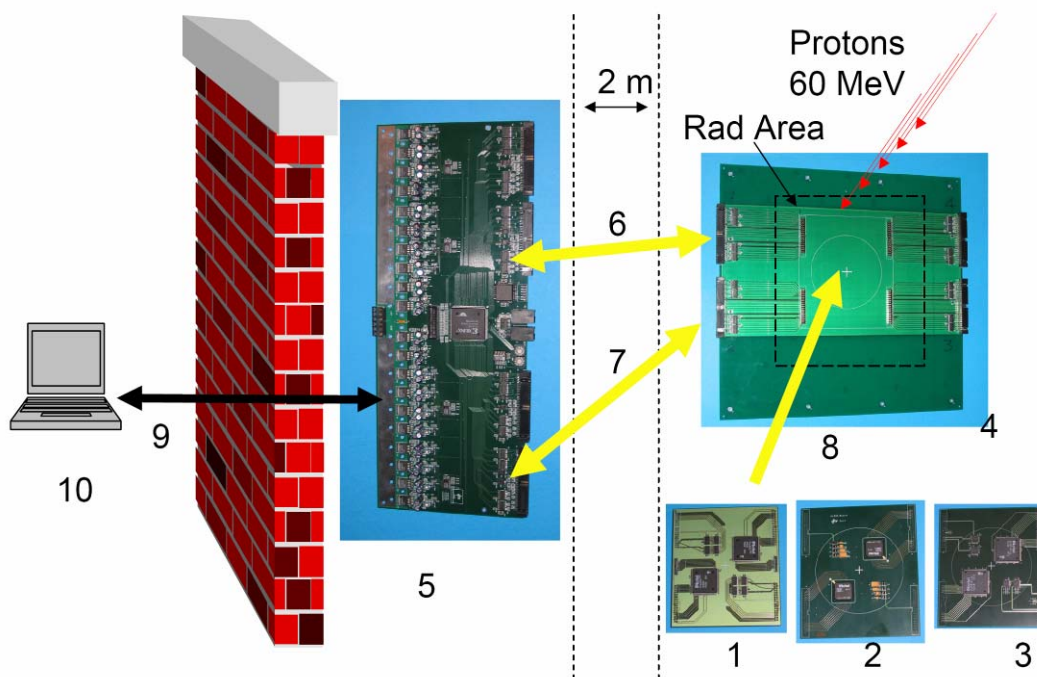


Figura 7.18: Setup del test comparativo delle 3 FPGA Actel A54SX16A, APA300 e AX500. **1-2-3.** Le FPGA su piggyback board. **4.** Scheda madre. **5.** Control Board. **6-7.** Segnali LVDS e linee di alimentazione. **8.** Segnali LVTTTL e linee di alimentazione. **9.** Interfaccia seriale RS232 **10.** Calcolatore di controllo fuori dall'area del fascio.

Su ogni FPGA sono stati implementati 3 shift registers semplici e uno shift register con tripla ridondanza su tutti i registri tutti con frequenza di clock ad 1 Mhz. Il numero di flip-flop interessati dal test è stato per ogni tipo di dispositivo:

- 80 bit shift registers per SX FPGA (91% dei flip-flops dedicati)
- 400 bit shift registers per AX FPGA (89% dei flip-flops dedicati)
- 1024 bit shift registers per APA FPGA (75% dei flip-flops)

Sono stati usati 3 diversi patterns per il test: “0”, “1” e “01” per cercare sia SEU dei registri che clock upset. Inoltre, per controllare l'effettivo funzionamento del sistema durante l'irradiamento, è stato iniettato un errore ogni $2^{24}-1$ bits.

Un pattern noto è stato scritto anche in 4096 bits della RAM a disposizione delle APA300 e delle AX500 e monitorato durante il test.

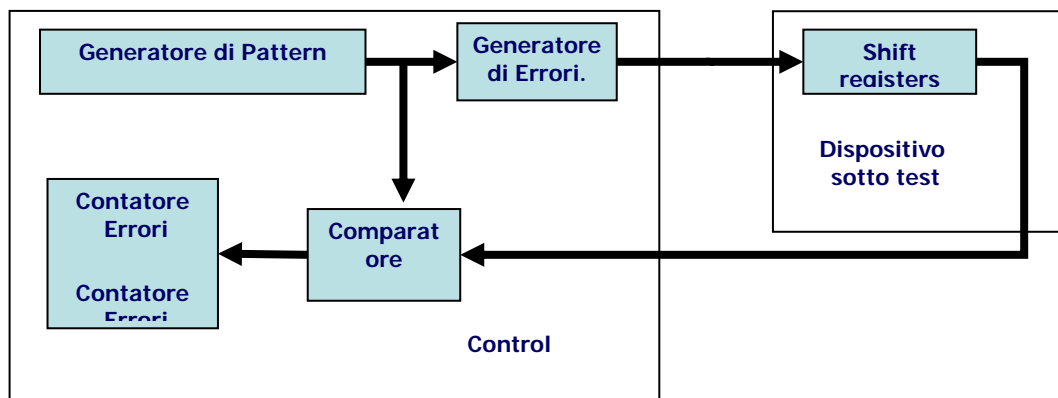


Figura 7.19: Schema logico del test

Per i tre tipi di FPGA sottoposti al test si sono ottenuti i risultati descritti di seguito.

Nei 960 bits semplici e nei 240 bit in tripla ridondanza degli shift register implementati nelle 4 FPGA **Actel A54SX16A** non è stato rilevato nessun SEU.

Per la natura statistica di questo effetto questo porta a dire che, non considerando nel calcolo i bit in tripla ridondanza, per la sezione d'urto SEU varrà:

$$\sigma_{SEU} \leq 3,0 * 10^{-15} \text{ (SEU per bit)/(protoni*cm}^{-2}\text{)};$$

cioè minore di quella ottenuta considerando il verificarsi di un SEU durante il test.

Per quanto riguarda la ricerca di altri SEE non si sono verificati né clock upset, né effetti distruttivi di tipo SEL (Single Event Latchup). Questa FPGA non dispone di RAM.

Alla dose totale di 68.5 krad la corrente dei canali di I/O non ha subito nessuna variazione mentre si sono registrate variazioni molto contenute per la corrente di core (pochi mA) come mostrato in Figura 7.20 e Figura 7.21.

Il dispositivo ha continuato a funzionare in modo corretto per tutta la durata dell'irradiamento.

Diverso è il caso delle altre due tipologie di FPGA dove alcuni SEU sono stati rilevati durante il test.

Per le 4 **Actel AX500** si sono ottenuti i risultati riportati in Tabella 7.9.

Nessun SEU è stato rilevato negli shift registers in tripla ridondanza.

Escludendo dal calcolo della sezione d'urto SEU questi bit si ottiene, per i 4800 bit sottoposti a test:

$$\sigma_{SEU} \approx 1,8 * 10^{-14} \text{ (SEU per bit)/(protoni*cm}^{-2}\text{)};$$

Flusso Totale p/cm ²	FPGA A			FPGA B			FPGA C			FPGA D		
	"0" pattern	"1" pattern	"01" pattern	"0" pattern	"1" pattern	"01" pattern	"0" pattern	"1" pattern	"01" pattern	"0" pattern	"1" pattern	"01" pattern
10 ¹¹	1	2	1	0	2	0	2	1	0	1	0	1
2 x 10 ¹¹	-	-	-	-	-	-	1	0	1	2	0	2
3 x 10 ¹¹	-	-	-	-	-	-	0	0	2	0	0	1
4 x 10 ¹¹	-	-	-	-	-	-	0	0	1	1	0	0
5 x 10 ¹¹	-	-	-	-	-	-	0	2	0	1	0	1
6 x 10 ¹¹	-	-	-	-	-	-	0	0	3	0	0	1
TOT	1	2	1	0	2	0	3	3	7	5	0	6
σ_{bit} (10⁻¹⁴)	2.5	5	2.5	< 2.5	5	< 2.5	1.3	1.3	2.9	2.1	<0.4	2.5

Tabella 7.9: SEU rilevati nei registri interni per l'Actel AX500

	FPGA A	FPGA B	FPGA C	FPGA D
Flusso totale p/cm ²	Ram Upset	Ram Upset	Ram Upset	Ram Upset
10 ¹¹	12	43	32	30
2 x 10 ¹¹	-	-	16	28
3 x 10 ¹¹	-	-	33	33
4 x 10 ¹¹	-	-	35	37
5 x 10 ¹¹	-	-	26	24
6 x 10 ¹¹	-	-	39	29
TOT	12	43	181	181
σ_{bit} (10⁻¹⁴)	2.9	10.5	7.4	7.4

Tabella 7.10: SEU rilevati nella RAM dell'Actel AX500

Nessun SEL e nessun "clock upset" è stato invece rilevato.

Lo studio del comportamento dei blocchi di Ram dedicati, mostrato in Tabella 7.10, mostra una sezione d'urto abbastanza elevata, tipica per questa tecnologia, che sconsiglia quindi il suo utilizzo per dati sensibili.

Considerando i 4096 bits testati

in ognuno dei quattro dispositivi, si ottiene una sezione d'urto SEU, per la RAM, di:

$$\sigma_{SEU} \approx 2,9 * 10^{-13} \text{ (SEU per bit)/(protoni*cm}^{-2}\text{)};$$

Per quanto riguarda gli effetti TID, con 68,5 krad di dose totale equivalente non sono state osservate variazioni significative delle correnti di I/O e della corrente di core (Figura 7.22 e Figura 7.23).

Procedendo nello stesso modo per l'FPGA **Actel APA300** si ottengono risultati analoghi per quanto riguarda lo studio dei SEU:

- ✓ Nessun SEU rilevato nei 4096 bits degli shift registers in tripla ridondanza.
- ✓ Alcuni SEU per gli altri 12288 bits testati (Tabella 7.11) che portano al calcolo di una sezione d'urto SEU di:

$$\sigma_{SEU} \approx 2,0 * 10^{-14} \text{ SEU per bit/protoni*cm}^{-2}; \text{ (per i registri interni)}$$

- ✓ Incidenza di SEU, nei 4096 bits di RAM per ogni dispositivo (Tabella 7.12), simile a quella calcolata per l'FPGA precedente e cioè:

$$\sigma_{SEU} \approx 8,9 * 10^{-14} \text{ SEU per bit/protoni*cm}^{-2}; \text{ (per la RAM)}$$

Anche per l'APA300 non sono stati rilevati né SEL né clock upset.

Flusso Totale p/cm ²	FPGA A			FPGA B			FPGA C			FPGA D		
	"0" pattern	"1" pattern	"01" pattern	"0" pattern	"1" pattern	"01" pattern	"0" pattern	"1" pattern	"01" pattern	"0" pattern	"1" pattern	"01" pattern
10 ¹¹	0	1	2	0	5	2	1	4	3	0	5	1
2 x 10 ¹¹	0	5	1	2	0	3	0	2	7	2	3	4
3 x 10 ¹¹	2	3	4	5	2	2	2	2	1	1	4	2
4 x 10 ¹¹	-	-	-	-	-	-	2	2	3	0	4	4
5 x 10 ¹¹	-	-	-	-	-	-	2	4	4	0	0	5
6 x 10 ¹¹	-	-	-	-	-	-	1	1	1	0	0	1
TOT	2	9	7	7	7	7	8	15	19	3	16	17
$\sigma_{bit} (10^{-14})$	0.65	2.9	2.3	2.3	2.3	2.3	1.3	2.4	3.1	0.5	2.6	2.8

Tabella 7.11: SEU rilevati nei registri interni per l'Actel APA300

	FPGA A	FPGA B	FPGA C	FPGA D
Flusso totale p/cm ²	Ram Upset	Ram Upset	Ram Upset	Ram Upset
10 ¹¹	27	40	38	42
2 x 10 ¹¹	53	30	-	-
6 x 10 ¹¹	-	-	153	199
TOT	80	70	191	241
σ_{bit} (10 ⁻¹⁴)	9.7	8.5	7.8	9.8

Tabella 7.12: SEU rilevati nella RAM dell'Actel APA300

Discorso diverso vale per gli effetti da dose totale. Come mostrato in Figura 7.24 e Figura 7.25, si è notato un incremento esponenziale della corrente di core una volta giunti ad una dose totale di circa 35 krad, anche se l'FPGA ha continuato a operare correttamente per tutto il test. Per quando riguarda la zona di interesse per l'elettronica del rivelatore di muoni di LHCb comunque (<10 krad) anche il comportamento dell'APA300 è praticamente assente da variazioni di corrente di core e di I/O, anzi, questo risulta essere vero con un fattore di sicurezza abbastanza elevato

In Tabella 7.13 sono riassunti i risultati ottenuti per i tre tipi di FPGA.

Famiglia	σ registri	σ RAM	TID a 68,5 krad
A54SX16A	<3,0E-15	-	Lieve incremento della corrente di core
AX500	1,8E-14	2,90E-13	Nessuna variazione
APA300	2,0E-14	8,90E-14	Aumento esponenziale della corrente di cor sopra i 35 krad

Tabella 7.13: Risultati del test dei tre tipi di FPGA

Come ci si poteva aspettare l'FPGA A54SX16A , qualificata come rad-tolerant e con architettura già proposta dall'actel per uso in applicazioni spaziali (nella versione RTSX-A) ha una maggior tolleranza intrinseca ai SEU, ma paga questo in termini di prestazioni e di costi. Per le altre due FPGA invece si sono ottenuti risultati equivalenti in termini di SEU, sia per quanto riguarda i flip-flop interni, che per quanto riguarda la RAM dedicata di cui dispongono.

Cosa di fondamentale importanza è che, comunque, per quanto riguarda i registri in tripla ridondanza nessuno dei tre tipi di dispositivi ha fatto rilevare alcun SEU, dando luogo ad una stima della sezione d'urto SEU piuttosto bassa. Inoltre nessun latch-up è stato osservato durante il test, come era da aspettarsi visto che l'Actel garantisce immunità al SEL con una soglia di energia equivalente trasferita (LET^{11}) superiore a 100 MeV cm²/mg.

Anche se l'APA300 ha mostrato un incremento esponenziale del consumo di corrente del core per una dose totale di ~35krad , questo limite è ben al di sopra della dose totale prevista in 10 anni di funzionamento nella caverna di LHCb (~10Krad) e costituisce un soddisfacente fattore di sicurezza (~3,5). Per di più essa ha continuato a funzionare in modo corretto fino a 68,5 krad, anche se con un incremento eccessivo dell'assorbimento di corrente. Infine c'è da osservare che tipicamente gli effetti da dose totale tendono a diminuire su tempi lunghi, poiché la carica intrappolata nel silicio e nell'ossido di silicio del dispositivo viene persa spontaneamente per effetto dell'energia termica.

Il risultato di questi test è che anche le **FPGAs, in tecnologia Flash 0,22μm, della famiglia Actel ProAsic^{PLUS} possono essere utilizzate nell'elettronica del sistema di controllo del rivelatore di muoni di LHCb**. Inoltre essi mi hanno spinto ad analizzare le possibilità di utilizzo di questa tecnologia, adottando le giuste accortezze in fase di progettazione, anche per le applicazioni per lo spazio [§8].

Tali considerazioni, unite ai numerosi vantaggi provenienti dalla possibilità di utilizzare una logica versatile e riconfigurabile e dalla notevole riduzione dei costi

¹¹ LET (Linear Energy Transfer), equivalente alla energia di ionizzazione persa $-dE/(\rho dx)$, espressa dalla formula di Bethe-Bloch e normalmente misurata in MeV·mg⁻¹·cm². Normalmente per ogni tipo di SEE si definisce una soglia di LET sotto alla quale l'energia non è sufficiente a produrre effetti sul dispositivo.

(minor costo del dispositivo, minori tempi di progettazione e possibilità di correzione d'eventuali errori) mi hanno portato ad adottare un FPGA della famiglia Actel ProAsic^{PLUS}, in particolare un APA150, nei moduli del Services Boards System.

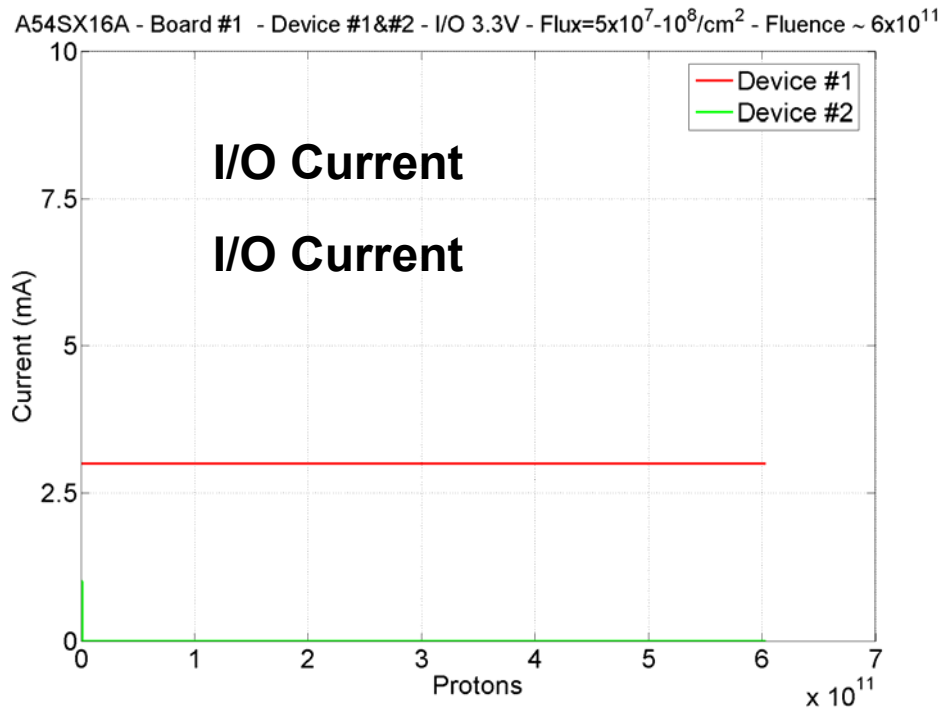


Figura 7.20: Andamento della corrente di I/O per due delle FPGA Actel A54SX16A sottoposte a test

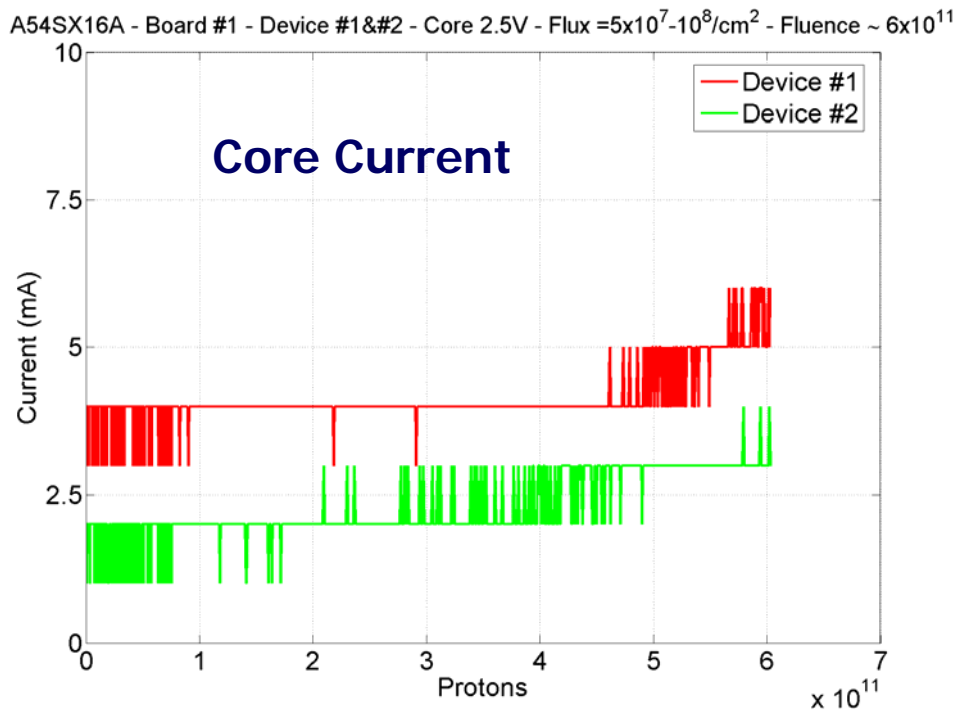


Figura 7.21: Andamento della corrente di I/O per due delle FPGA Actel A54SX16A sottoposte a test

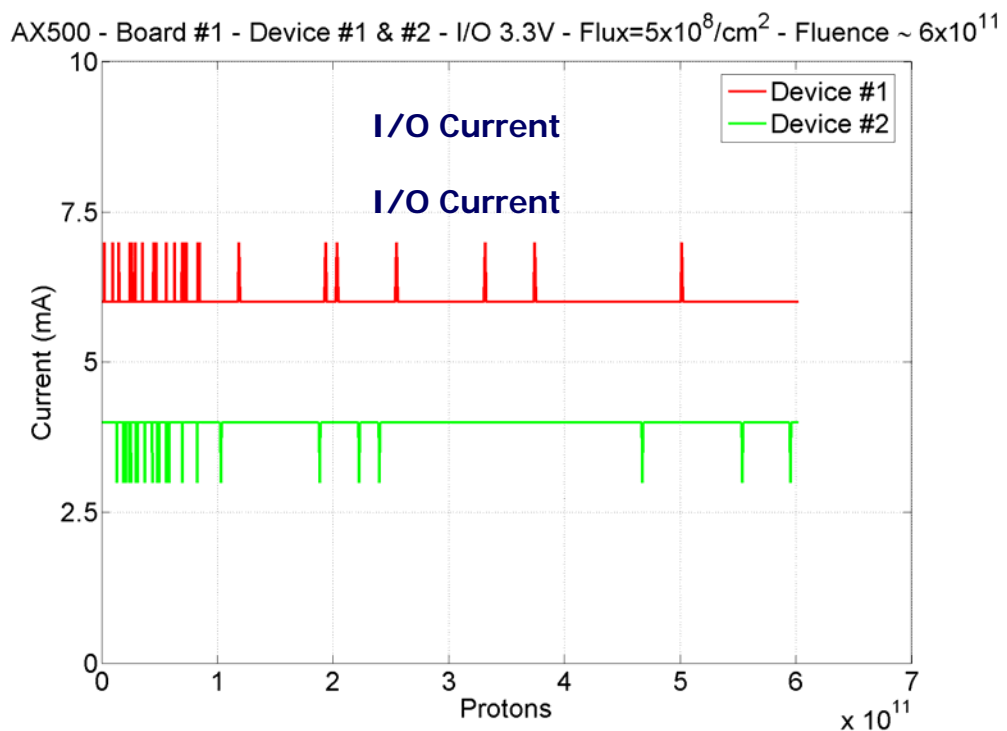


Figura 7.22: Andamento della corrente di I/O per due delle FPGA Actel AX500 sottoposte a test

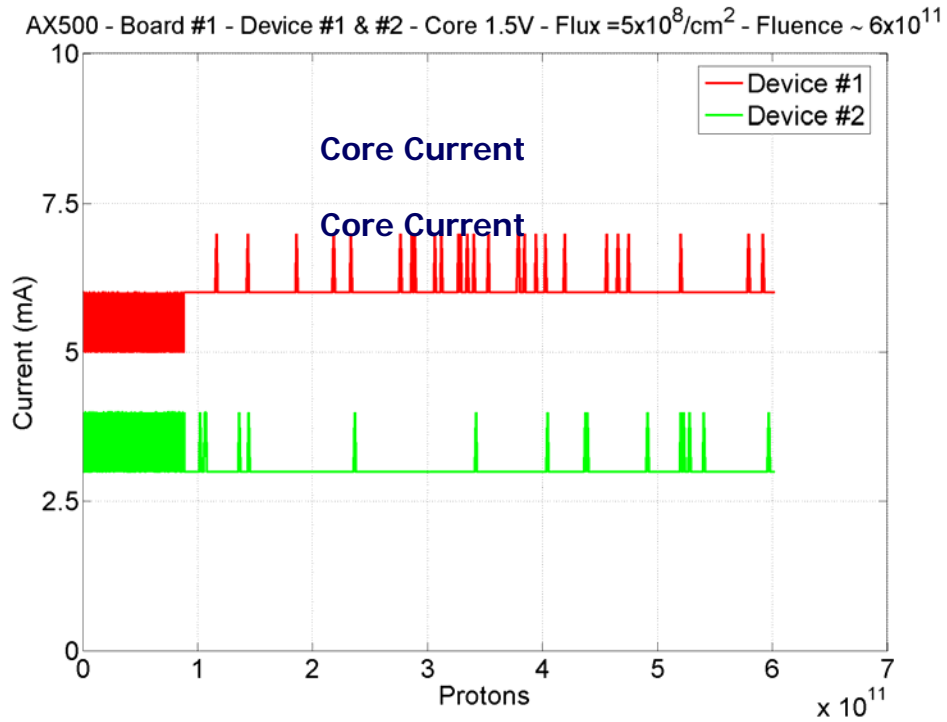


Figura 7.23: Andamento della corrente di I/O per due delle FPGA Actel AX500 sottoposte a test

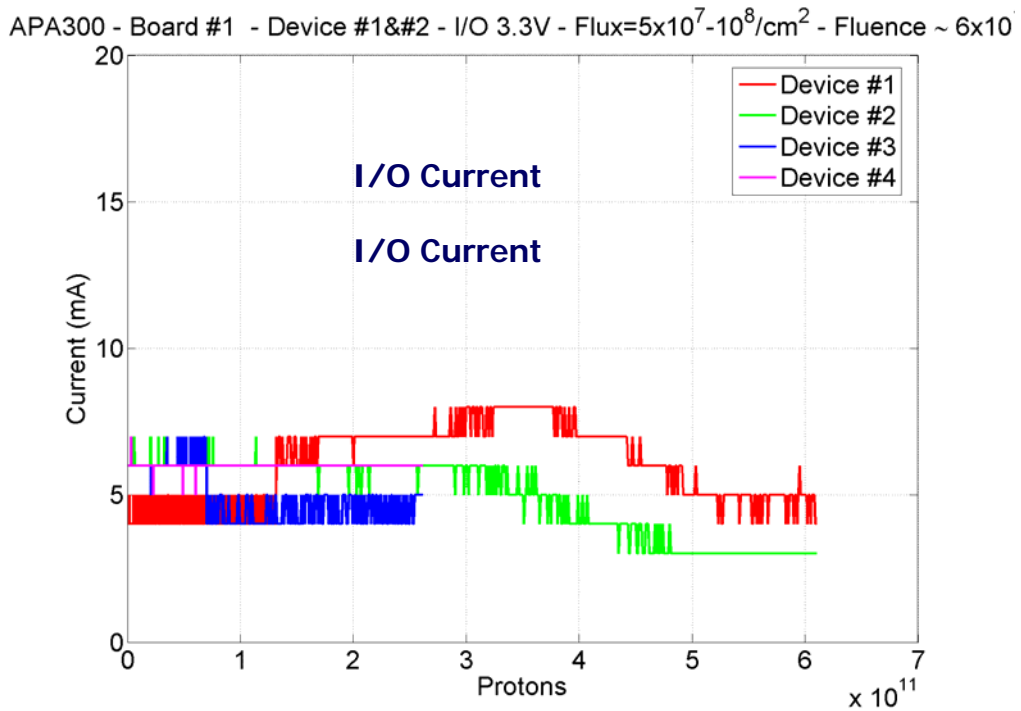


Figura 7.24: Andamento della corrente di I/O per due delle FPGA Actel APA300 sottoposte a test

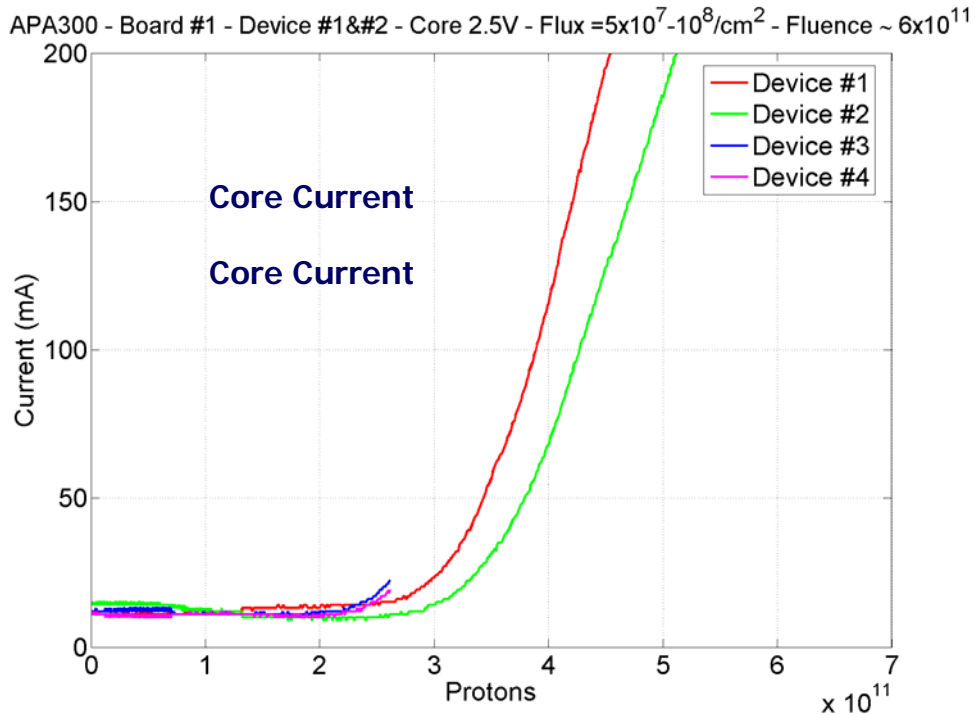


Figura 7.25: Andamento della corrente di I/O per due delle FPGA Actel APA300 sottoposte a test

7.6.1. Implementazione di logica in tripla ridondanza nelle FPGAs della famiglia Actel ProAsic^{PLUS}.

Visto il ruolo cruciale di questo sistema per il corretto funzionamento dell'apparato, alcune accortezze sono state adottate nell'implementazione della logica per il modulo Services Board e per il Pulse Distribution Module, prima fra tutti l'implementazione di logica in tripla ridondanza per i registri di configurazione implementati nell'FPGA.

Purtroppo, a differenza delle FPGA proposte dalla casa produttrice come rad-tolerant, la famiglia Actel ProAsic^{PLUS} non supporta direttive di compilazione per logica in tripla ridondanza (nelle altre FPGA è sufficiente utilizzare l'apposita libreria) e questo può provocare non poche difficoltà di implementazione, soprattutto quando la struttura della logica è complessa e in continuo sviluppo. Per ovviare a questo problema ho realizzato una libreria specifica per le Actel ProAsic^{PLUS} che permette di utilizzare registri in tripla ridondanza al posto dei semplici flip-flops a disposizione nella libreria originale. Questo può essere fatto

in due modi, o utilizzando nel file descrittivo in HDL¹² (Hardware Description Language) i moduli contenuti nella libreria (vale a dire i moduli in tripla ridondanza), con una certa complicazione del progetto dovuta alla necessità di utilizzare un HDL strutturale, oppure utilizzando un piccolo tool, che ho appositamente realizzato. Questo strumento interviene nella fase di sintesi del progetto, scritto per FPGA di questa famiglia, implementando logica in tripla ridondanza nei registri desiderati, a patto di aver anteposto, nel file HDL, il suffisso “TMR” al loro nome.

Seguendo il classico flusso di realizzazione del file di configurazione (detto “bitstream”) per l’FPGA, è sufficiente utilizzare un software di sintesi , nel nostro caso Synplify 8.5, per ottenere un nuovo file che contiene la sintesi del progetto descritto in Verilog HDL strutturale (detto “netlist”), cioè come interconnessioni fra vari moduli presi dalle librerie descrittive delle FPGA della famiglia in questione. Utilizzando il tool che ho realizzato su questo file, tutti i registri contrassegnati sono automaticamente sostituiti con la logica in tripla ridondanza adatta, descritta nella libreria da me creata. A questo punto è sufficiente ripetere il flusso d’implementazione della logica, sostituendo al file originale del progetto il nuovo file così prodotto, per ottenere un file di configurazione con logica in tripla ridondanza. Questa semplice soluzione rende più agile la progettazione e la descrizione della logica, permettendo di usare un linguaggio descrittivo comportamentale (anche VHDL a patto che la netlist sia creata come Verilog HDL), cioè senza pensare realmente con quali moduli di libreria verrà realmente realizzata la nostra logica.

Inoltre questa strategia permette una facile introduzione di tripla ridondanza anche in altri progetti già esistenti, senza dover apportare modifiche rilevanti alla sintassi.

¹² L’Hardware Description Language è un linguaggio che permette di descrivere un circuito elettronico. Esso può essere strutturale, se descrive le connessioni fra le porte logiche del dispositivo, o comportamentale, se ne descrive le funzioni lasciando ad un software, detto “di sintesi”, il compito di tradurle in connessioni fra porte logiche. I linguaggi HDL più utilizzati sono il Verilog HDL e il VHDL, fondamentalmente diversi solo nella sintassi.

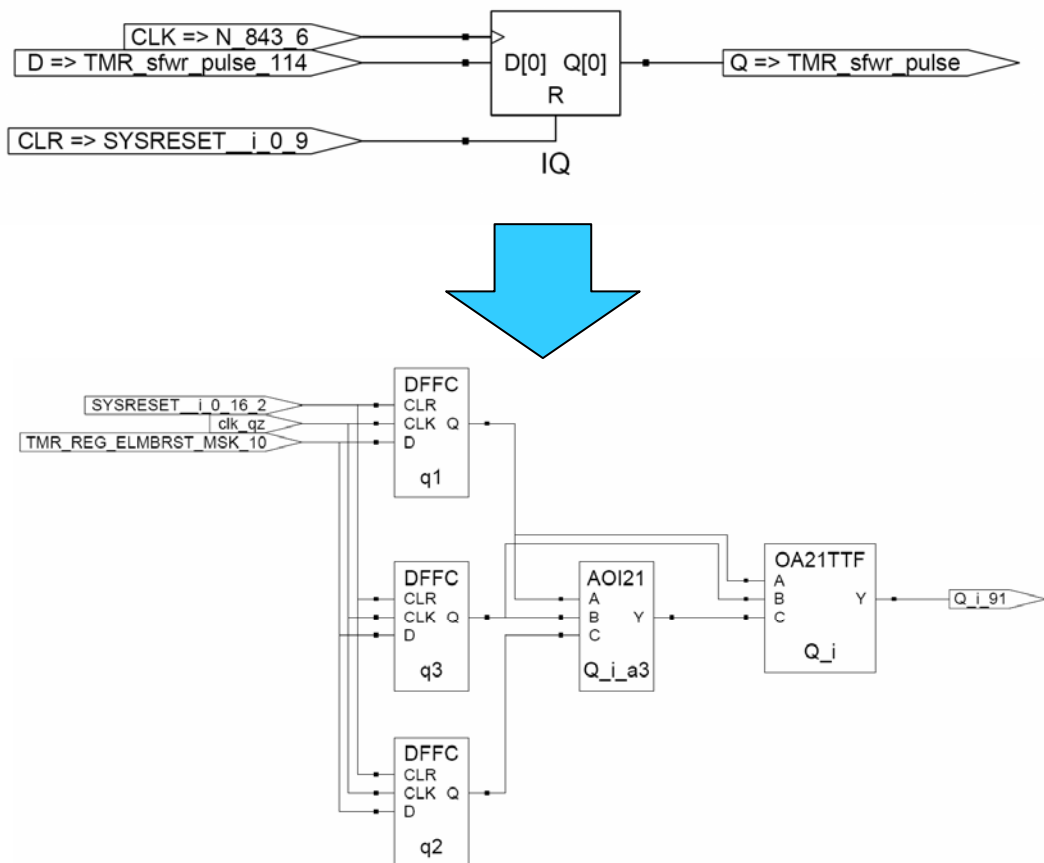


Figura 7.26: Schema della sintesi di uno dei registri dell'APA150 della Services Board prima e dopo l'introduzione della tripla ridondanza

8. Analisi delle possibilità di utilizzo della tecnologia Actel ProAsic^{PLUS} in applicazioni per lo spazio e per la fisica delle alte energie.

I test effettuati sulla famiglia Actel ProAsic^{Plus} con tecnologia Flash 0,22 μm mi hanno spinto ad analizzarne in modo più dettagliato, le caratteristiche della sua architettura e i risultati di diversi test effettuati per valutarne la possibilità di utilizzo in applicazioni che richiedono resistenza alla radiazione ionizzante, come tipicamente accade per l'elettronica per applicazioni spaziali e in quella per la fisica delle alte energie.

Nei paragrafi successivi verranno velocemente descritti l'architettura della famiglia di FPGA Actel ProAsics^{PLUS} [61], mettendone in luce le caratteristiche

che ne fanno una buona candidata all'utilizzo in ambienti con moderato livello di particelle ionizzanti e, in certi casi, confrontando questo tipo di FPGA con quelle in tecnologia "antifuse" e "SRAM".

8.1. L'elemento di programmazione (SWITCH)

La configurazione della logica di un FPGA avviene collegando le varie celle di logica disponibili tramite degli appositi interruttori programmabili, detti "switch", realizzati in modo diverso per ogni tecnologia (antifuse, SRAM, Flash). Caratteristica principale per l'utilizzo di FPGA in questo tipo di applicazioni è, chiaramente, la tolleranza a SEU dei suoi switch: un SEU in tali elementi, infatti, comprometterà, quasi sicuramente, la funzionalità del dispositivo e richiederà, se possibile, una nuova configurazione.

Esistono essenzialmente 3 tipologie principali di FPGA, classificate proprio secondo la tecnologia usata per realizzare gli switch.

Nelle FPGA "**antifuse**" le linee che collegano le varie linee del dispositivo sono originariamente divise tramite la creazione di uno strato dielettrico (ONO, Si amorfo) fra loro. In fase di programmazione vengono applicate tensioni elevate (10-20V) a tali giunzioni in modo da "bruciarle", cioè da alterarne lo stato, facendo in modo che presentino una resistenza molto bassa.

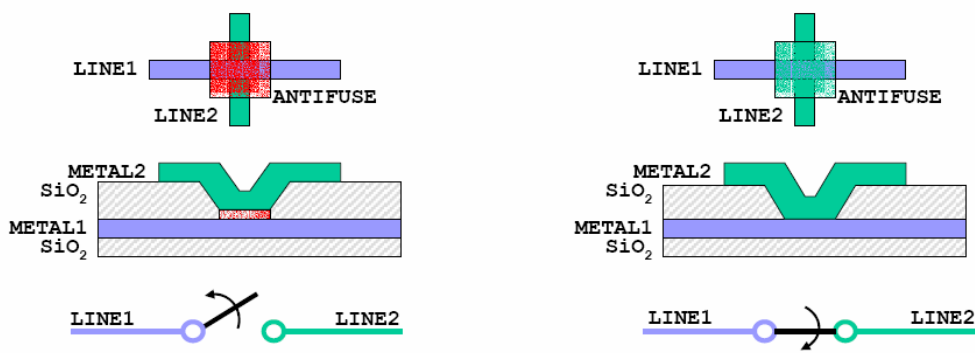


Figura 8.1: modello funzionale di uno switch antifuse

La configurazione di questo tipo di FPGA, una volta programmata, non può essere modificata e necessita di appositi programmatori, a volte costosi, per distribuire in maniera corretta le elevate correnti necessarie a “bruciare” gli switch.

Nelle FPGA in tecnologia “SRAM” gli switch sono pilotati tramite una cella di RAM statica.

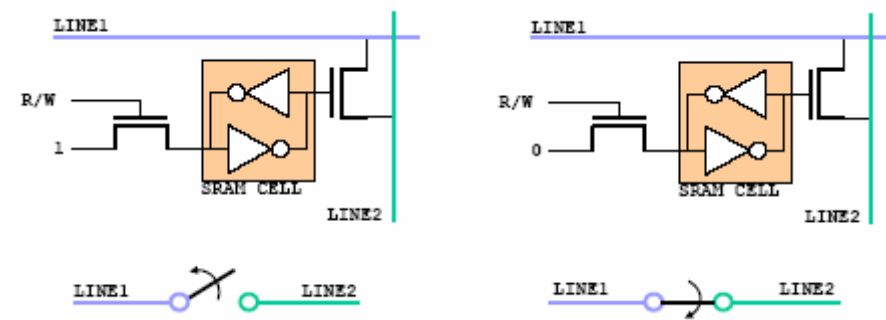


Figura 8.2: modello funzionale di uno switch antifuse.

Questo tipo di FPGA ha una configurazione non stabile e va programmata ad ogni accensione del dispositivo. Necessita quindi di una memoria esterna che conservi la mappa dei bit di configurazione.

Nelle FPGA in tecnologia **Flash** infine, gli switch sono pilotati depositando o rimuovendo carica, tramite un dispositivo di programmazione che fornisce alte tensioni ($-11V$, $+16,5V$), sul gate floating della cella flash, che cambia la soglia di conduzione decidendo lo stato del collegamento.

In particolare lo switch dell'Actel ProAsic^{PLUS} è composto da due dispositivi:

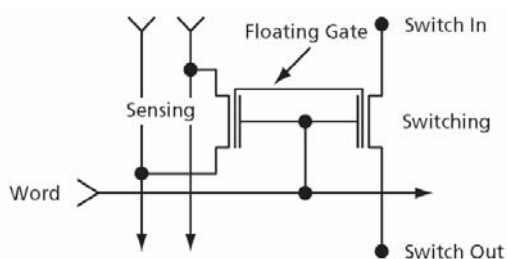


Figura 8.3: Schema elettrico di uno switch dell'Actel ProAsic^{PLUS}

uno di programmazione che permette di pilotare e leggere lo stato della linea, e l'altro lo switch vero e proprio che, tramite un transistor, connette o disconnette due nodi dell'FPGA.

La programmazione delle celle di memoria flash di configurazione di

questo tipo di FPGA è piuttosto semplice e risulta essere non-volatile, come quella delle FPGA antifuse ma, allo stesso tempo, riconfigurabile come quella delle FPGA SRAM.

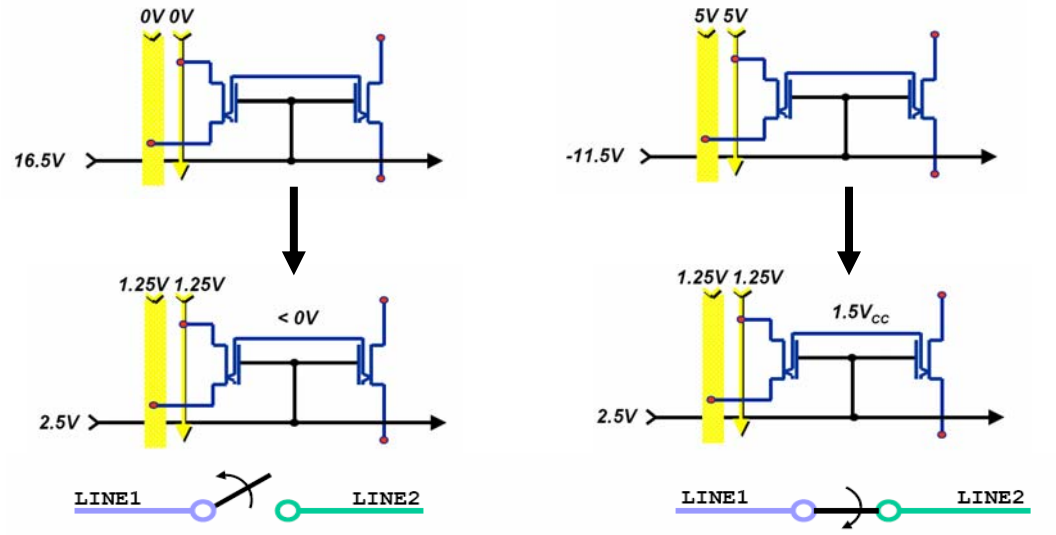


Figura 8.4: modello funzionale di uno switch dell'Actel ProAsic^{PLUS}

L'analisi delle tecnologie sopra descritte mette in luce che lo switch delle FPGA di tipo antifuse risulta essere praticamente immune a SEU proprio a causa dell'immutabilità del suo stato una volta programmata. Allo stesso tempo esso permette una densità di logica più alta delle altre, grazie alle ridotte dimensioni dello switch. Queste proprietà vengono però pagate con l'impossibilità di programmare nuovamente l'FPGA dando a questo chip una versatilità forse più vicina a quella di un ASIC che di un dispositivo programmabile.

Al contrario una FPGA di tipo SRAM è molto versatile dal punto di vista della programmabilità, ma i suoi switch sono particolarmente sensibile a SEU proprio per la tecnologia utilizzata. Per fare un esempio basti pensare che una SRAM in un'orbita LEO è soggetta ad una frequenza di SEU nell'ordine di 10^{-7} SEU/bit-giorno: se consideriamo un FPGA con 10000 gate con 240000 elementi di switch, questa sarebbe soggetta statisticamente ad una perdita di funzionalità ogni ~1000 ore. Inoltre serve molta area (>4 transistori solo per la cella di RAM + switch, +

logica per la programmazione all'accensione) per la realizzazione della sola elettronica di configurazione e l'efficienza in quanto a consumi di corrente è molto bassa, poiché ogni switch si comporta come una rete RC. Bassa densità di logica e consumi elevati sono caratteristiche che, soprattutto nelle applicazioni spaziali, limitano particolarmente l'utilizzo di FPGA basate su questa tecnologia.

Le FPGA con tecnologia flash offre caratteristiche di programmabilità paragonabili a quelle della tecnologia SRAM senza sacrificare gran parte delle caratteristiche desiderabili di una FPGA antifuse.

Lo switch flash, infatti, è intrinsecamente resistente a SEU dovuti da particelle ionizzanti poiché il meccanismo di carica e scarica delle "floating gate" prevede alte tensioni di soglia. Così una particella carica che colpisce la cella flash potrebbe generare carica nell'ossido che circonda il "floating gate" e diffondendosi fino ad esso. La soglia di energia trasferita nel silicio (LET_{th}) necessaria perché questo fenomeno induca un cambiamento di stato della cella flash è, però, molto elevato: basti pensare che, rifacendosi alla struttura delle celle di un Actel ProAsic^{PLUS}, si calcola che la carica generata per uno ione con LET pari a 37 MeV-cm²/mg è meno dell'1% della carica totale in un "floating gate" programmato.

La resistenza al SEU degli switch è verificata dai test effettuati sia sulla memoria flash [62][63] che direttamente su dispositivi FPGA di questo tipo[64][65].

Inoltre l'area occupata sul silicio da uno switch di tipo flash è molto più piccola

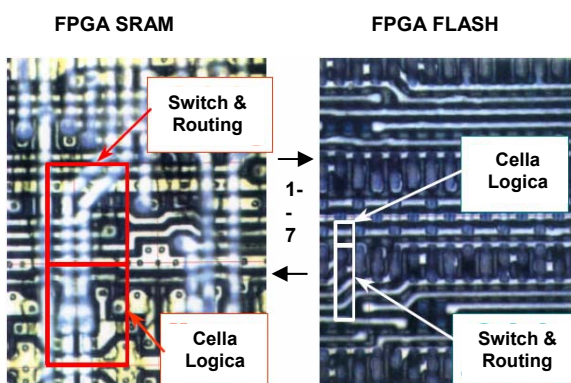


Figura 8.5: Confronto tra switch e ceta di logica per una FPGA SRAM e una FPGA Flash

di quella necessaria per uno in tecnologia SRAM ($\sim 1/7$, Figura 8.5) e questo permette di ottenere uno spazio maggiore per i blocchi di logica e un minore consumo statico di corrente. Questa caratteristica è uno dei maggiori benefici che possono provenire dall'usare un'FPGA in tecnologia Flash in applicazioni spaziali,

dove dimensioni e consumi giocano un ruolo critico.

8.2. L'Architettura

L'architettura di un'FPGA della famiglia Actel ProAsic^{PLUS} consiste in un insieme di celle logiche configurabili, dette "Logic Tile" circondate da un anello di elementi di I/O, entrambi in numero dipendente dal modello della famiglia. Inoltre essa dispone di alcuni blocchi da 256x9 bits di SRAM disposti intorno alle celle logiche (Figura 8.6). Le principali caratteristiche dei vari modelli della famiglia sono riportati in Tabella 8.1.

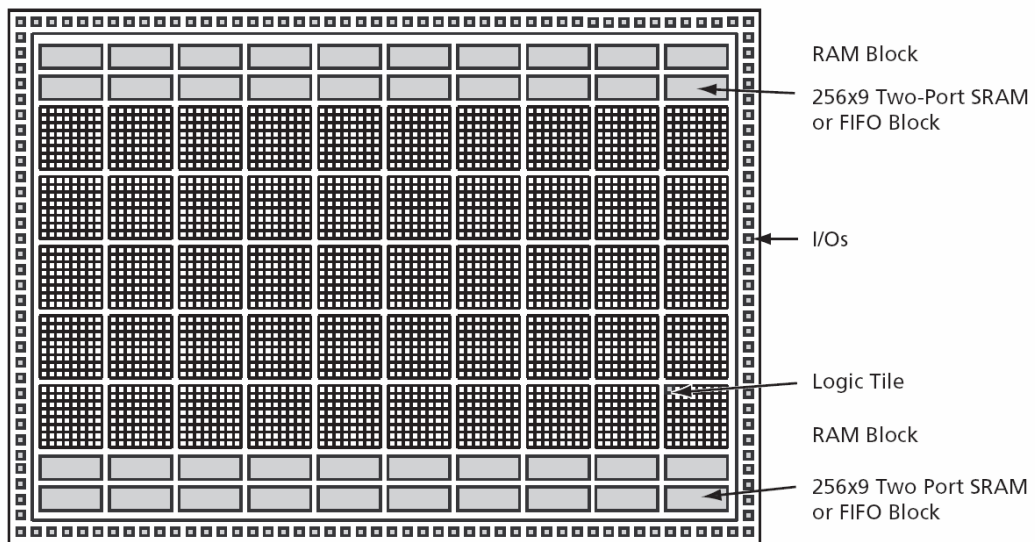


Figura 8.6: Architettura di un FPGA della famiglia Actel ProAsic^{PLUS}.

ProASIC Plus	APA150	APA300	APA450	APA600	APA750	APA1000
System Gates	150,000	300,000	450,000	475,000	750,000	1,000,000
Typical Gates	67,500	135,000	202,500	213,750	337,500	450,000
Logic Tiles	6,144	8,192	12,288	21,504	32,768	56,320
Max Registers	6,144	8,192	12,288	21,504	32,768	56,320
Embedded RAM bits	36k	72k	108k	126k	144k	198k
Embedded RAM Blocks (256x9)	16	32	48	56	64	88
Max User I/O	232	280	332	472	562	712

Tabella 8.1: principali caratteristiche delle FPGA della famiglia Actel ProASIC^{PLUS}

Le “logic tile” permettono di implementare o un flip-flop con un pin di reset/set o una funzione di logica combinatoriale a 3 ingressi. Questa struttura permette di implementare, utilizzando una sola cella, tutte le funzioni logiche a 2 ingressi e tutte quelle a 3 ingressi e un’uscita, tranne lo XOR, cosa non conveniente se si vogliono eseguire operazioni aritmetiche velocemente.

Aspetto unico della “logic tile” di questo tipo di FPGA è possibile utilizzare registri di memoria continuando a disporre di altra logica combinatoria nella stessa cella: questo fa sì che i registri siano a disposizione relativamente a basso costo in termini di occupazione di logica nel dispositivo. Questa caratteristica è molto utile qualora l’applicazione richieda l’implementazione di logica in tripla ridondanza per diminuire i SEU nei registri più critici.

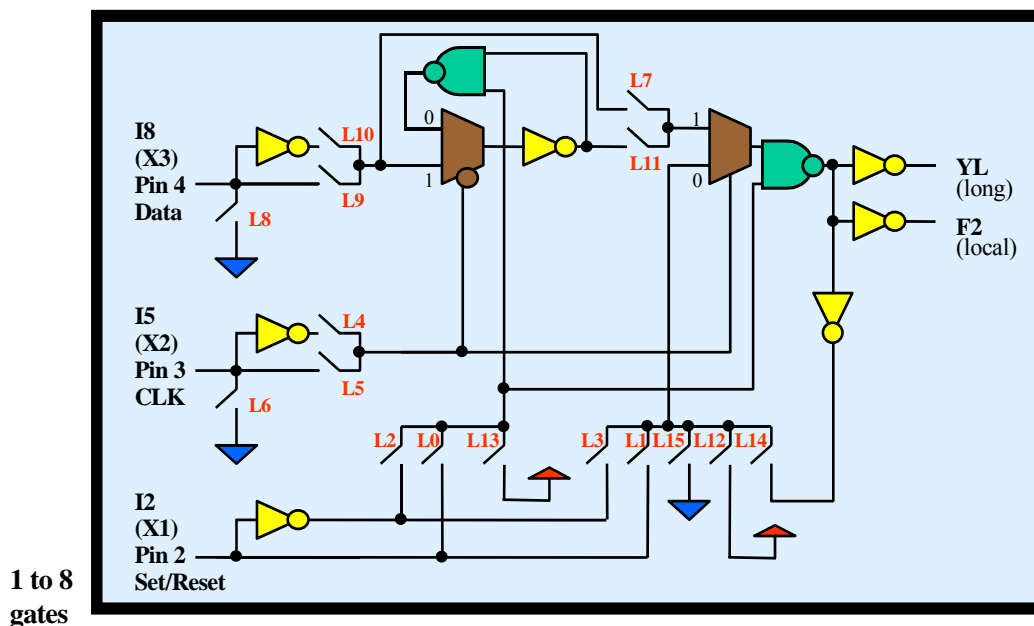


Figura 8.7: Cella logica di una Actel ProAsic^{PLUS}

Questa famiglia di FPGA dispone di 4 differenti classi di risorse di routing che permettono di ottimizzare le connessioni fra le varie “logic tile” e i blocchi di RAM.

Le “high speed bus line” costituiscono una rete che percorre tutto il dispositivo con un ritardo di meno di 4ns fra i due punti più distanti.

Le “long lines” sono utilizzate invece per collegare un’area di 4 “logic-tile” intorno a quella di riferimento, mentre le “ultra fast local lines” collegano una cella di logica con le 8 che la circondano in meno di 0,5 ns.

Infine sono disponibili 4 linee “globali” utilizzabili per segnali di controllo globale, come il reset, e per i segnali di clock.

Caratteristica importante rispetto agli altri tipi di FPGA è la possibilità di spegnere i rami delle linee globali non utilizzati, caratteristica che porta un notevole risparmio di energia che, come già detto, risulta essere una caratteristica desiderabile soprattutto per applicazioni spaziali.

Le porte di I/O delle FPGA infine, possono essere configurate in modo tale da usare 3,3V o 2,5V come segnale di ingresso o di uscita. In fase di implementazione della logica dell’FPGA è possibile utilizzare ogni porta di I/O

come un “input”, come un “output”, come “tristate” o come buffer bidirezionale. Inoltre per ogni porta di I/O è possibile selezionare un resistore di PULL-UP.

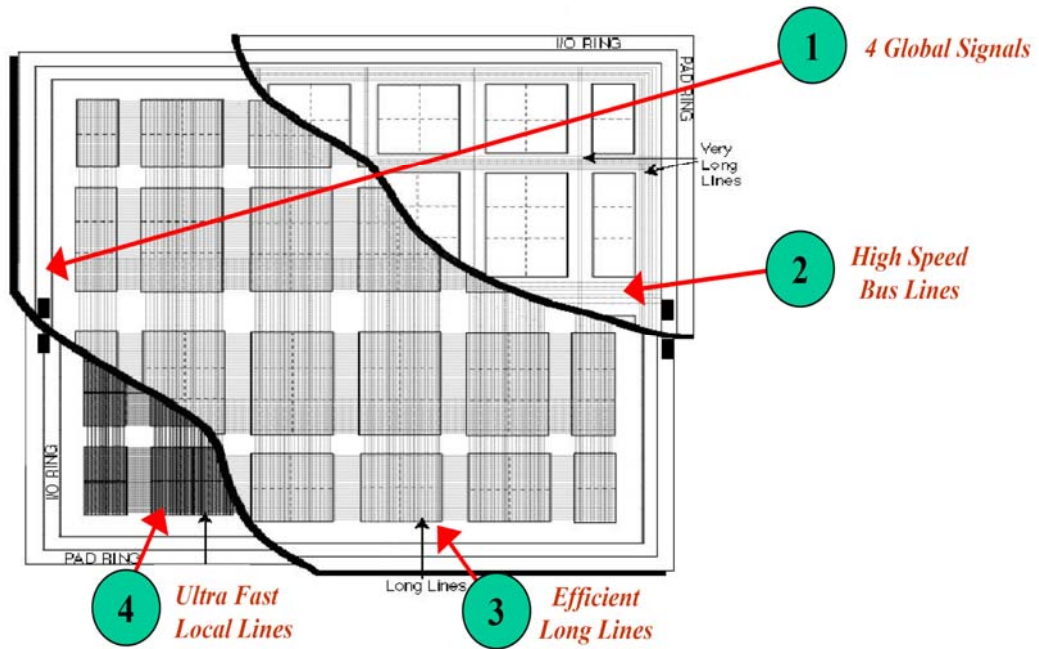


Figura 8.8: i 4 tipi di risorse di routine disponibili in una Actel ProAsic^{PLUS}

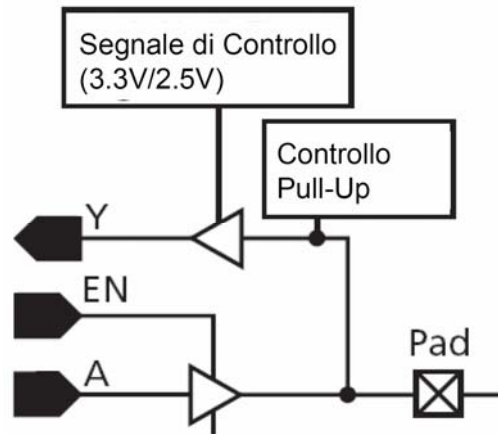


Figura 8.9:: Schema di un blocco di I/O

8.3. Risultati dei test.

8.3.1. Effetti da dose totale

Come visto dai test descritti nel capitolo precedente (§6.*) le FPGA di questa famiglia sono soggette un aumento esponenziale della corrente di core osservata sopra i 35 Krad. Le cause di questa crescita dei consumi non sono ancora chiare. Dobbiamo comunque tener presente che la logica di un FPGA Flash è comunque una logica CMOS e quindi possiamo immaginare che sia dovuta all'accumulo di cariche nel silicio e nell'ossido di silicio che creano dei canali di dispersione. In ogni caso si deve tener presente che, il limite di 35 Krad, è stato trovato utilizzando un flusso di protoni abbastanza intenso e che la misura della corrente di core è stata effettuata a fine irradiazione: ci si può aspettare che, con un tempo molto più lungo, parte della carica accumulata sarebbe stata rilasciata per effetto dissipazione termica e che quindi le condizioni sopra descritte si verificano, in realtà, oltre la soglia trovata. Questa mia ipotesi trova un riscontro teorico nei test effettuati dall'Actel Corporation [66] sulla famiglia capostipite di questo tipo di FPGA, vale a dire le Actel ProAsic in tecnologia Flash 0,25 μ m. Utilizzando un flusso di protoni a 200MeV (minore energia trasferita) e un flusso di 10^7 protoni*cm⁻²s⁻¹ (contro i $5*10^8$ protoni*cm⁻²s⁻¹ del test sulla nuova tecnologia) è

stato osservato, per un Actel A500K50, un andamento equivalente ma con una soglia intorno ai 70 Krad. In figura 8.10 è riportato l'andamento della corrente di core e dei tempi di propagazione dei segnali all'interno del dispositivo, misura non effettuata per la nuova famiglia.

Come già discusso anche lo switch flash è soggetto a effetti di dose totale.

L'accumulo di carica nell'ossido di silicio che separa il floating gate delle celle flash dal resto potrebbe avere impatto sulla carica contenuta in quest'ultimo.

Vista la particolare struttura delle celle di flash questo effetto potrebbe presentarsi soltanto a dosi totali molto elevate e comunque può essere eliminato riscrivendo periodicamente i bit di configurazione dell'FPGA.

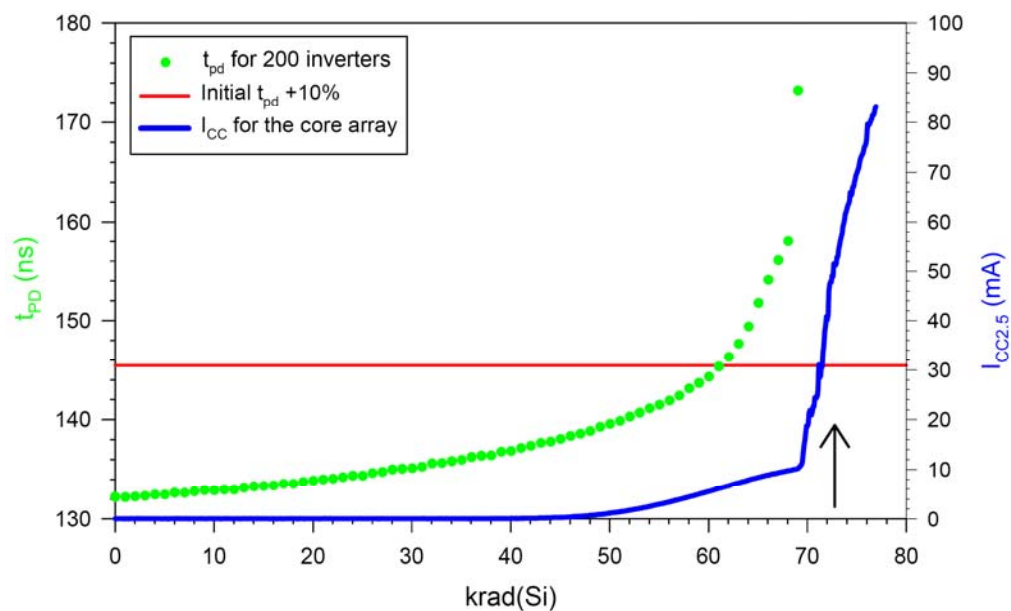


Figura 8.10: Andamento della corrente di core (I_{cc}) e dei tempi di propagazione per un FPGA Actel A500K050. [66]

8.3.2. Single Event Upset (SEU)

Come già discusso gli switch flash sono praticamente immuni da SEU.

Lo stesso non vale per i flip-flop implementati nella logica dell'FPGA e per i banchi di SRAM a disposizione. Come ci si poteva aspettare il test descritto nel

capitolo §6.* ha messo in luce risultati del tutto simili a quelli ottenuti per la logica CMOS 0,25µm di altre famiglie di FPGA.

La ricerca sistematica di SEU, utilizzando protoni a 70MeV, ha portato a calcolare una sezione d'urto pari a $\sigma_{SEU} \approx 2,0 * 10^{-14}$ SEU per bit/protoni*cm⁻² per i flip-flop implementati e pari a $\sigma_{SEU} \approx 8,9 * 10^{-14}$ SEU per bit/protoni*cm⁻² per i banchi di RAM sottoposti a test. Questi dati sono confermati da ulteriori test effettuati dalla Actel in collaborazione con la NASA [67] che hanno fatto misurare sezione d'urto SEU nello stesso ordine di grandezza. Test effettuati su Actel ProAsic^{PLUS} 750 con protoni a 200MeV e con ioni pesanti, hanno messo in luce una dipendenza della sezione d'urto SEU dalla LET della particella nel silicio. In Figura 8.11 sé riportato l'andamento della sezione d'urto SEU al variare dell'energia trasferita nel silicio dalle particelle. Questi dati sono stati ottenuti a temperatura ambiente (~300°K) variando il tipo di ioni utilizzati e studiando l'andamento della sezione d'urto SEU tra 3,6 e 74,9 MeV*cm⁻²/mg.

Questi dati non sono particolarmente incoraggianti per l'utilizzo in ambiente a moderato livello di radiazione ionizzante. Per fare un esempio, utilizzando questi dati in un modello di orbita LEO creato dal software "SpaceRad" [68], con 1000Km di quota, 90° di inclinazione, si ottiene, per questo dispositivo, una frequenza di SEU per un flip-flop nell'ordine di $\sim 10^{-7}$ SEU/giorno. Comunque questo effetto più essere ridotto grazie all'implementazione di una logica in tripla ridondanza tramite, per esempio, la tecnica descritta nel capitolo §7.6.1 .

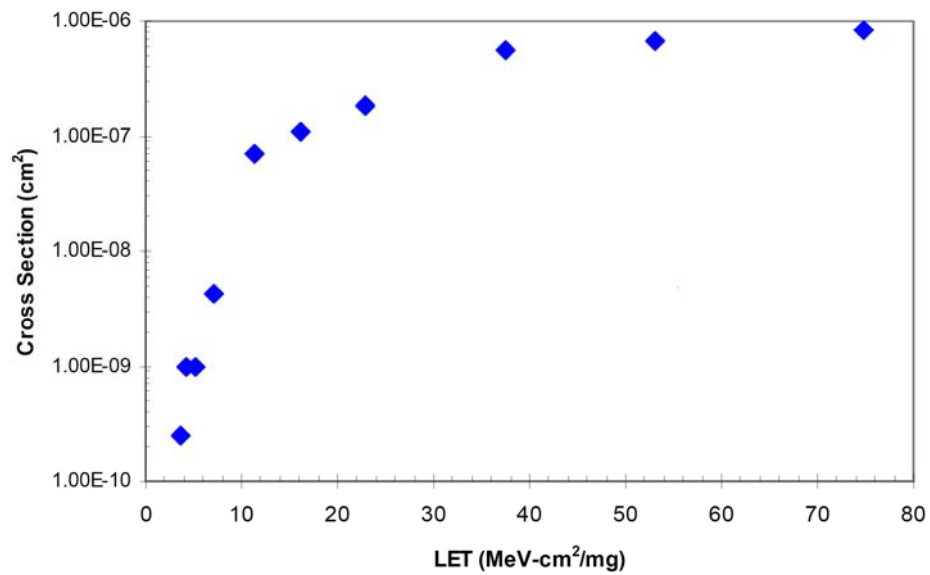


Figura 8.11: Andamento della sezione d’urto SEU al variare dell’energia lineare trasferita nel silicio degli ioni utilizzati per l’irradiazione.

8.3.3. Single Event Latch-up (SEL)

In tutti i test effettuati non sono stati rilevati SEL utilizzando particelle con LET fino a 74,9 MeV*cm⁻²/mg. Questo era presumibile considerando che la Actel garantisce una soglia per SEL superiore a 100 MeV*cm⁻²/mg di LET.

Bisogna notare infine che, a differenza dei supporti di memorie flash, gli switch delle FPGA in tecnologia flash non possiedono pompe di carica elettrica: le tensioni di programmazione, sono fornite da un dispositivo di programmazione esterna. Solitamente, la riprogrammabilità delle FPGA flash, è utilizzata per lo più in fase di sviluppo e, una volta realizzato un prototipo ci si limita a programmare le altre una volta soltanto.

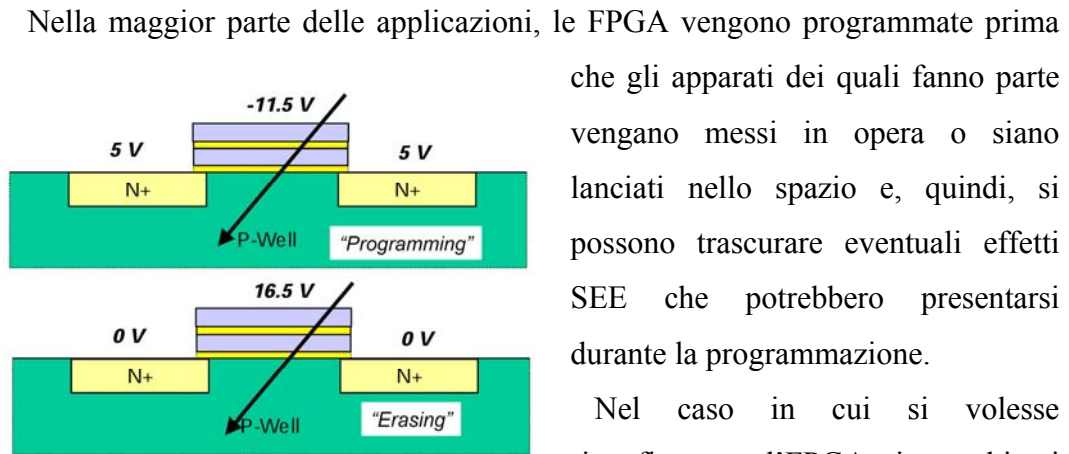


Figura 8.13: Il passaggio di una particella ionizzante nell'ossido di silicio che circonda il gate può provocare SEGR.

che gli apparati dei quali fanno parte vengano messi in opera o siano lanciati nello spazio e, quindi, si possono trascurare eventuali effetti SEE che potrebbero presentarsi durante la programmazione.

Nel caso in cui si volesse riconfigurare l'FPGA in ambienti esposti a radiazione ionizzante, eventualmente anche al fine di mitigare danni da dose totale,

bisognerebbe tener presente il possibile verificarsi di rottura del gate del transistor di configurazione durante la programmazione. Il passaggio di una particella ionizzante nell'ossido di silicio che circonda i gate potrebbe creare un canale di conduzione che, nel momento della programmazione, provocherebbe una corrente abbastanza grande da "bruciare" l'apparato. Questo tipo di effetto è un SEE distruttivo chiamato "SEGR" (Single Event Gate Rupture).

Inoltre, se si vuole riconfigurare il dispositivo sarà necessario introdurre un circuito di programmazione che fornisca le alte tensioni necessarie e che, a sua volta, potrebbe essere soggetto a SEL influenzando indirettamente la resistenza dell'FPGA a questo tipo di effetti.

9. Referenze

- [1] . Tevatron Department Homepage
<http://www-bdnew.fnal.gov/tevatron/>
- [2] Fermilab Homepage
<http://www.fnal.gov/>
- [3] The Atlas Experiment
<http://pdg.lbl.gov/atlas/atlas.html>
- [4] The CMS Experiment.
<http://www.phys.ufl.edu/hee/cms/>
- [5] The Alice Experiment.
<http://map.web.cern.ch/ALICE/welcome.html>
- [6] G. Passaleva, “Violazione di CP nei mesoni B”, 5/6/2001
- [7] D.E. Groom et al., The European Physical Journal **C15**, 1 (200)
<http://pdg.lbl.gov/>
- [8] W.A.Ponce, “Penguin Diagrams In The Kobayashi-Maskawa Model”, Print-79-0650 (MASS.U., AMHERST).
- [9] Marta Calvi, “Physics reach LHCb”, Commissione Scientifica Nazionale I, Frascati 4 Febbraio 2003
- [10] LHCb Technical Proposal CERN 1998, “A Large Hadron Collider Beauty Experiment for Precision Measurements of CP Violation and Rare Decays”,
<http://lhcb.cern.ch/technicalproposal/>
- [11] The Vertex Detector Home Page,
<http://lhcb-vd.web.cern.ch/lhcb-vd/Default.htm>

- [12] RICH detectors Home Page.
<http://lhcb-rich.web.cern.ch/lhcb-rich/>
- [13] I.Azhgirey et al., “Development of MARS Code Package for Radiation Problems Solution of Electro-Nuclear Installation Design”, in: Proc. of XV Conference on Charged Particles Accelerators, Protvino, October 22-24 1996.
- [14] C.Zeitnitz and T.A.Gabriel, The Geant-Calor interface User’s Guide (1999)
<http://www.physik.uni-mainz.de/zeitnitz/gcalor/gicalor.html>
- [15] R.Le Gac et al., “Particle fluxes in the LHCb Muon System Comparisons of GCALOR and MARS calculation”, LHCb 1999-036 Muon.
- [16] A.Lai, “Muon architecture review”, CERN 27-3-2003
- [17] A.Lai et al., LHCb note 2000-50
- [18] B.Bochin et al., “Wire Pad Chamber for the LHCb Muon System”, LHCb 2003
- [19] G.Bencivenni et al, “A triple-GEM detector with pad readout for the inner region of the first LHCb muon station”
<http://www.lnf.infn.it/esperimenti/lhcb/gem/pub/lhcb-2001-051.pdf>
- [20] SEECA, “Single Event Effect Criticality Analysis”, NASA , February 15, 1996
<http://radhome.gsfc.nasa.gov/radhome/papers/seeca1.htm>
- [21] Ronald Lacoë & Donald Mayer, “The Effects of Total Ionizing Dose Irradiation on CMOS Technology and the Use of Design Techniques to Mitigate Total Dose Effects”, The Aerospace Corporation, April 11, 2002.
http://www.irps.org/02-40th/Special_Topic/st_1.pdf
- [22] J. Gasiot, “Radiation effects on devices :Total Ionizing Dose, displacement effect, single event effect”, CERN Training Radiation effects on electronic components and systems for LHC
<http://rd49.web.cern.ch/RD49/MaterialRadCourse/JGasiot.pdf>
- [23] E.J. Daly, A.Hilgers, G. Drolshagen, and H.D.R. Evans, “SPACE ENVIRONMENT ANALYSIS: EXPERIENCE AND TRENDS”,
<http://space->

env.esa.int/EMA_Events/Env_Modelling_19960918/Abstracts/abstract45/paper/index.html

- [24] [Dr. Holbert's](http://www.eas.asu.edu/~holbert/eee460/spacerad.html) ,ESA,“Space Radiation Environmental Effects”,
<http://www.eas.asu.edu/~holbert/eee460/spacerad.html>
- [25] [Dr. Holbert's](http://www.eas.asu.edu/~holbert/eee460/tiondose.html) ,ESA,“Total Ionizing Dose”
<http://www.eas.asu.edu/~holbert/eee460/tiondose.html>
- [26] M.Boscherini et Al.,”Radiation Damage of Electronic Components in Space Enviroments” , Nuclear Instruments and Methods in Physics Research, A 514 (2003) 112-116.
- [27] EUROPEAN ORGANISATION FOR NUCLEAR RESEARCH , “3rd RD49 Status Report Study of the Radiation Tolerance of ICs for LHC”, LEB Status Report/RD49, CERN/LHCC 2000-003, 13 January 2000
- [28] A. De Roeck et Al. ; ” Simulation physics requirements from the LHC experiments”; CERN-LCGAPP-2004-02; March 15, 2004
- [29] C.Corti, L.Shekhtman; ”Radiation background in the LHCb experiment”; LHCb-2003 22/09/2003
- [30] “Radiation studies with FLUKA”;
<http://lhcb-background.web.cern.ch/lhcb-background/Radiation/RadLevels.htm>
- [31] Feliciano Giustino; “Radiation Effects on Semiconductor Devices”; Tesi di laurea, POLITECNICO DI TORINO, Facoltà di Ingegneria;
<http://rd49.web.cern.ch/RD49/RD49Docs/giustino/Intro.pdf>
- [32] A. Lai, A. Sciubba, V. Bocci, G. Martelletti,“Muon Detector Front-end Architecture: an update”; LHCb 2001-030;
- [33] S. Cadeddu and A. Lai, “DIALOG- β DATA SHEET”, I.N.F.N. Sezione di Cagliari, Cagliari, Italy ;LHCb 2003-016 MUON
- [34] A.Lai – S. Cadeddu , “Diagnostics time Adjustment and LOGics”, CERN 27/3/03
- [35] Balla, P. Ciambrone, G. Felici, “ODE Board L0 front-end for muon system”.

- [36] ELMB technical documentation
<http://atlasinfo.cern.ch/ATLAS/GROUPS/DAQTRIG/DCS/ELMB/SB/index.html>
- [37] LHCb LNF Group, “Muon Off-Detector electronics: The IB system“, Muon Electronics Production Readiness Review , 15 July 2005 at Roma - La Sapienza;
<http://indico.cern.ch/getFile.py/access?contribId=s1t13&resId=1&materialId=0&confId=a054562>
- [38] “Muon Off_ Detector Electronics Board”, LHCb Technical Note,
<http://agenda.cern.ch/askArchive.php?base=agenda&categ=a054562&id=a054562s1t15/document>
- [39] Guido Haefeli et al., “TELL1 Specification for a common read out board for LHCb”, LHCb 2003-007, IPHE 2003-02, July 23, 2005
http://lphedell1.epfl.ch/~ghaefeli/specification_and_documents/TELL1.pdf
- [40] P. Moreira et al.,” A Timing, Trigger and Control Receiver ASIC for LHC Detectors”, CERN - EP/MIC, Geneva Switzerland January 2003.
http://ttc.web.cern.ch/TTC/TTCrx_manual3.8.pdf
- [41] V.Bocci,G.Chiodi, F. Iacoangeli,W.Rinaldi , “Data sheet Service Board”, INFN Roma March 2003.
- [42] Data sheet ATmega128.
http://www.atmel.com/dyn/resources/prod_documents/2467s.pdf
- [43]
<http://www.nikhef.nl/pub/departments/ct/po/html/ELMB128/ELMB128resources.html>
- [44] DataSheet PCF8575 Remote 16-bit I/O expander for I2C-bus.Feb1999
http://agenda.cern.ch/askArchive.php?base=agenda&categ=a03650&id=a03650s1t7%2Ftransparencies%2FODE_Overview.ppt
- [45] P. Moreira et al., “A Timing, Trigger and Control Receiver ASIC for LHC Detectors.”.
http://ttc.web.cern.ch/TTC/TTCrx_manual3.8.pdf
- [46] R. Jacobsson et al. “TFC Switch Specifications”, LHCb Technical Note
LHCb Technical Note, LHCb DAQ 2001-018
- [47] NIKHEF, “CANopen high-level protocol for CAN-bus”, Amsterdam March 20, 2000.
<http://www.nikhef.nl/pub/departments/ct/po/doc/CANopen30.pdf>

- [48] R. Jacobsson et al., “The LHCb Timing and Fast Control System”, LHC Electronics Workshop, 2001.
http://lhcb-online.web.cern.ch/lhcb-online/TFC/documents/LEB2001_paper.pdf
- [49] “Data Sheet Atmel AT45DB041B”
http://www.atmel.com/dyn/resources/prod_documents/doc3443.pdf
- [50] V. Bocci, G. Chiodi, F. Iacoangeli, R. Nobrega, “DATA SHEET Pulse Distribution Module” INFN - Sezione di Roma I - Italy
- [51] TTCRx ASIC
<http://ttc.web.cern.ch/TTC/TTCmain.html#TTCrx>
- [52] P. Moreira, “TTCRq module”, CERN - EP/MIC, Geneva Switzerland
 November 2004
<http://proj-qpll.web.cern.ch/proj-qpll/images/manualTTCrq.pdf>
- [53] “Timing, Trigger and Control (TTC) Systems for the LHC”
<http://ttc.web.cern.ch/TTC/intro.html>
- [54] GSFC Radiation Data Base
<http://radhome.gsfc.nasa.gov/radhome/RadDataBase/RadDataBase.html>
- [55] H. Boterenbrood¹ and B. Hallgren², “SEE and TID Qualification of the ELMB128 Series Production”, ATLAS Internal Working Note DCS- IWN23, 15 November 2004
- [56] Homepage “Centre de Recherche du Cyclotron”
<http://www.cyc.ucl.ac.be/>
- [57] H. Boterenbrood, “ELMBio-rad (v4.2), version for Radiation Test “,
 NIKHEF, November 2003.
<http://www.nikhef.nl/pub/departments/ct/po/html/ELMB/ELMB-testobjects-v42.pdf>
- [58] “Radiation hardness assurance”, CERN, May 12 2006,
http://lhcb-elec.web.cern.ch/lhcb-elec/html/radiation_hardness.htm
- [59] “RADIATION TOLERANT ELECTRONIC COMPONENTS DATABASE”
<http://atlas.web.cern.ch/Atlas/GROUPS/FRONTEND/components/>
- [60] P. Ciambrone et al., “Radiation tests of Actel FPGA”, LHCb Week 29 11 2004,
<http://indico.cern.ch/getFile.py/access?contribId=s1t13&resId=1&materialId=1&confId=a045066>

- [61] ProASIC^{PLUS}® Flash Family FPGAs DataSheet,
http://www.actel.com/documents/ProASICPlus_DS.pdf
- [62] M. O'Bryan, K. Label, R. Reed, J. Barth, C. Seidleck, P. Marshall, C. Marshall, and M. Carts, "Single event effects and radiation damage results for candidate spacecraft electronics," 1998 IEEE Radiation Effects Data Workshop., pp. 39-49.
- [63] E. S. Snyder, P. J. McWhorter, T. A. Dellin, and J. D. Sweetman, "Radiation Response of Floating Gate EEPROM Memory Cells," IEEE Trans. Nucl. Sci., vol. 36, pp. 2131-2139, Dec. 1989.
- [64] J.J. Wang et Al., "Single Event Effects of New Generation FLASH-Based FPGA - ProASIC^{PLUS} "
- [65] G. R. Allen, G. M. Swift; "Single Event Effects Test Results for the Actel ProASIC Plus and Altera Stratix-II Field Programmable Gate Arrays"
- [66] J.J. Wang (Actel Corporation); "Radiation Effects in FPGAs";
9th Workshop on Electronics for LHC Experiments 29 September - 3 October 2003, AMSTERDAM
- [67] J.J. Wang, B. Cronquist, J. McCollum, W. Parker, P. Piroli, R. Katz, and I. Kleyner ; "Single Event Effects of New Generation FLASH-Based FPGA ProASIC^{PLUS}"
- [68] <http://www.spacerad.com/index.html>

Ringraziamenti.

Desidero ringraziare Valerio Bocci per la preziosa guida ricevuta durante miei studi e per la fiducia, gli insegnamenti e l'aiuto nello svolgimento del mio dottorato.

Il Prof, Gian Carlo Cardarilli per la disponibilità e la cortesia dimostratemi, e per tutto l'aiuto fornito durante la stesura della tesi.

Il Dr. Paolo Ciambrone i dati sperimentali e le comunicazioni personali che hanno reso possibile l'analisi delle FPGA in tecnologia Flash.

Giacomo Chiodi, Silvano Di Marco, Antonio Rossi e Daniele Ruggieri per la disponibilità e l'impagabile contributo tecnico con il quale hanno arricchito il mio lavoro.

Rafael Nobrega Antunes, Davide Pinci e Walter Rinaldi per i numerosi aiuti ricevuti.

Un caloroso ringraziamento va a tutti i componenti del laboratorio di elettronica della sezione di Roma dell'INFN.

Infine desidero ringraziare Barbara Bellagamba per l'aiuto morale e l'incoraggiamento nei momenti di maggior impegno.

