

Laboratorio di Segnali e Sistemi - Esonero -2 -

Esercizi Elettronica Digitale



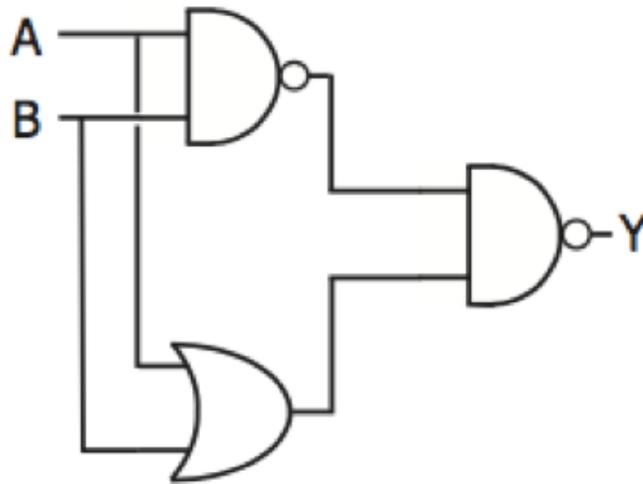
Claudio Luci
SAPIENZA
UNIVERSITÀ DI ROMA

last update : 070117

Esercizio 1

Esercizio 120

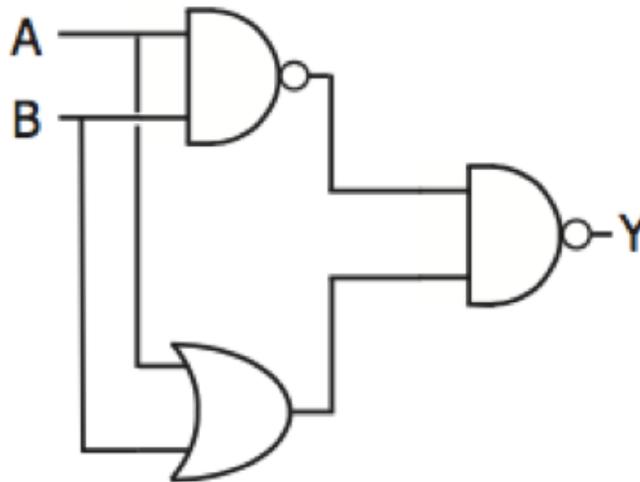
Che funzione logica realizza il circuito in figura?



Soluzione Esercizio 1

Esercizio 120

Che funzione logica realizza il circuito in figura?



Esercizio 120

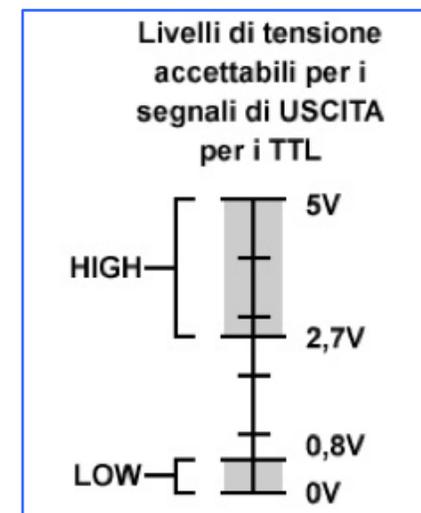
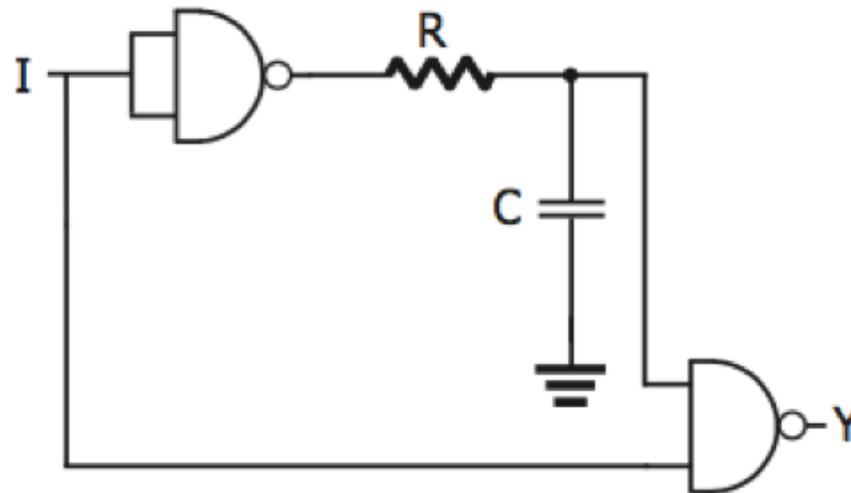
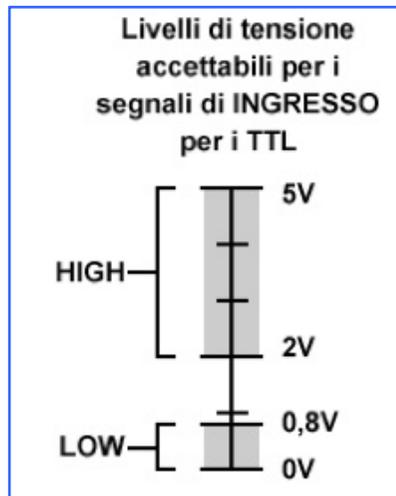
$$Y = \overline{(\overline{AB}) \cdot (A + B)}$$

Esercizio 2

Esercizio 126

Nel circuito in figura (realizzato con porte logiche TTL in logica positiva) l'ingresso I è inizialmente a "0" logico; all'istante $t=0$ l'ingresso viene portato a livello logico "1". Descrivere qualitativamente con un diagramma il comportamento temporale dell'uscita Y (in una scala temporale arbitraria).

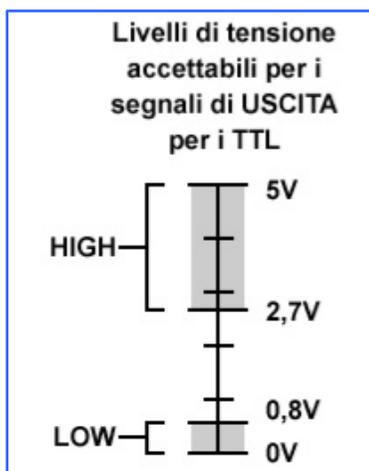
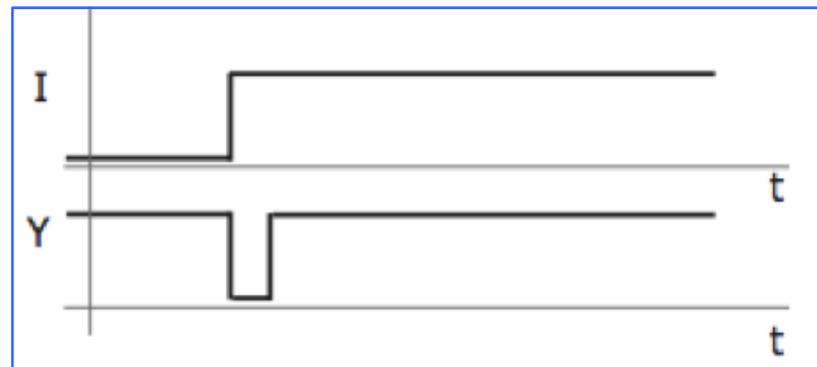
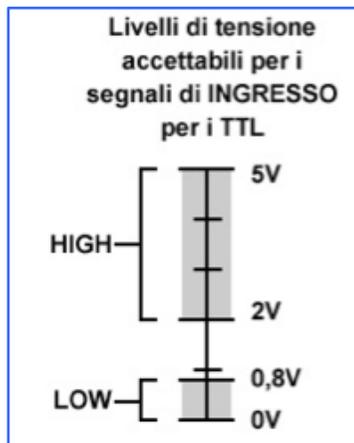
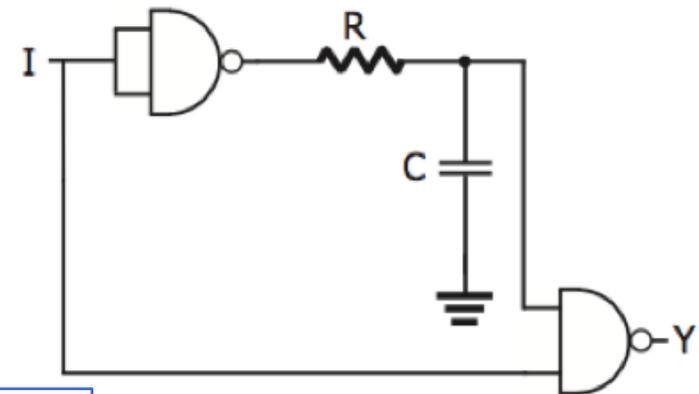
Nota: si considerino trascurabili i tempi di commutazione intrinseci delle porte logiche; si tenga invece conto delle soglie reali di commutazione dei circuiti TTL.



Soluzione Esercizio 2

Esercizio 126

Nel circuito in figura (realizzato con porte logiche TTL in logica positiva) l'ingresso I è inizialmente a "0" logico; all'istante $t=0$ l'ingresso viene portato a livello logico "1". Descrivere qualitativamente con un diagramma



Inizialmente l'uscita Y è a 1 logico. Quando l'ingresso I passa a 1 logico l'uscita del NAND in alto passa a 0. Il condensatore, inizialmente carico e a tensione $+5V$, non può scaricarsi istantaneamente, ma si scaricherà con un tempo caratteristico RC , attraverso la resistenza R . Quindi, per un certo intervallo di tempo, entrambi gli ingressi del secondo NAND sono a 1 e ciò porta Y a 0. Quando la tensione del condensatore scende sotto un certo livello, l'uscita si riporta a 1.

Esercizio 3

Esercizio 128

In un certo impianto industriale è necessario mantenere sotto controllo la pressione interna di un serbatoio di gas: quindi si desidera ricevere un segnale di allarme quando la pressione esce da un certo intervallo. La pressione è misurata con un trasduttore che fornisce una corrente I proporzionale alla pressione:

$$I = (1.0 \cdot P + 4.0)$$

(con P è in atmosfere e I in mA).

Progettare un dispositivo di allarme in grado di dare un livello logico “0” quando la pressione è compresa tra 1 e 10 atmosfere e di dare un livello logico “1” quando la pressione esce da quell’intervallo.

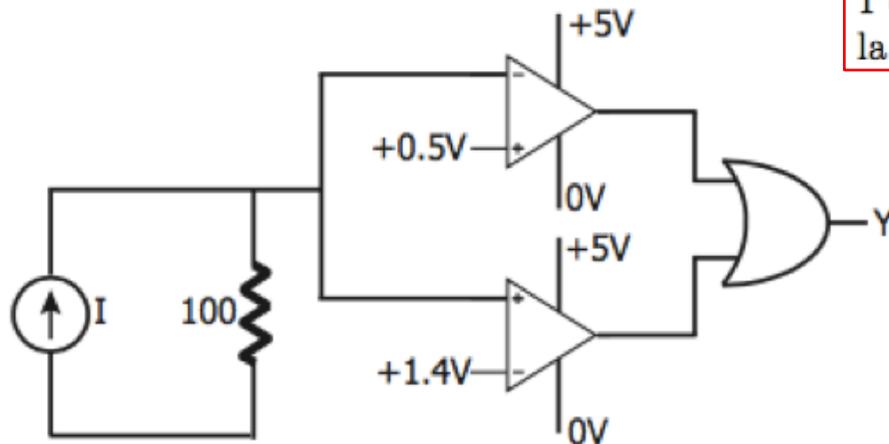
Nota: si consideri il trasduttore come un generatore ideale di corrente.

$$I(1 \text{ atm}) = 1 \times 1 + 4 = 5 \text{ mA}$$

$$I(10 \text{ atm}) = 1 \times 10 + 4 = 14 \text{ mA}$$

Soluzione Esercizio 3

Esercizio 128



Progettare un dispositivo di allarme in grado di dare un livello logico "0" quando la pressione è compresa tra 1 e 10 atmosfere e di dare un livello logico "1" quando la pressione esce da quell'intervallo.

$$V(1 \text{ atm}) = 0.5 \text{ V}$$

$$Y = 0$$

$$V(10 \text{ atm}) = 1.4 \text{ V}$$

Mediante un resistore da 100 Ohm la corrente del trasduttore è trasformata in una tensione

$$V = 0.1 \cdot P + 0.4$$

(V in Volt) In questo modo le due pressioni di soglia corrispondono a due tensioni:

$S1 = 0.5V$ quando $P = 1$ atmosfera

$S2 = 1.4V$ quando $P = 10$ atmosfere.

Si realizza la funzione voluta usando due comparatori (con soglie $S1$ e $S2$) e un OR. I due comparatori sono alimentati con 0 e +5V in modo da fornire direttamente livelli logici TTL in uscita. L'uscita Y fornisce il segnale logico voluto.

Esercizio 4

Esercizio 160

Scrivere in forma canonica la funzione logica rappresentata dalla seguente tavola della verità

| <i>A</i> | <i>B</i> | <i>C</i> | <i>Y</i> |
|----------|----------|----------|----------|
| 0 | 0 | 0 | 1 |
| 0 | 0 | 1 | 1 |
| 0 | 1 | 0 | 0 |
| 0 | 1 | 1 | 1 |
| 1 | 0 | 0 | 1 |
| 1 | 0 | 1 | 1 |
| 1 | 1 | 0 | 0 |
| 1 | 1 | 1 | 0 |

$$\overline{(A + B)} = \bar{A} * \bar{B} \quad \overline{(A * B)} = \bar{A} + \bar{B}$$

Ridurre poi la funzione alla sua forma minimale utilizzando le proprietà dell'algebra di Boole. Disegnare il corrispondente circuito realizzato utilizzando solo delle porte NAND.

Soluzione Esercizio 4

| A | B | C | Y |
|---|---|---|---|
| 0 | 0 | 0 | 1 |
| 0 | 0 | 1 | 1 |
| 0 | 1 | 0 | 0 |
| 0 | 1 | 1 | 1 |
| 1 | 0 | 0 | 1 |
| 1 | 0 | 1 | 1 |
| 1 | 1 | 0 | 0 |
| 1 | 1 | 1 | 0 |

Esercizio 160

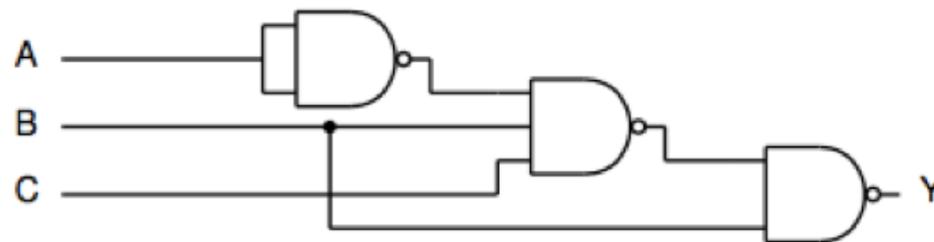
$$\begin{aligned} Y &= \overline{A}\overline{B}\overline{C} + \overline{A}\overline{B}C + \overline{A}B\overline{C} + A\overline{B}\overline{C} + A\overline{B}C \\ &= \overline{A}\overline{B}(\overline{C} + C) + \overline{A}B\overline{C} + A\overline{B}(\overline{C} + C) \\ &= \overline{B}(\overline{A} + A) + \overline{A}B\overline{C} + \overline{A}B C \\ &= \overline{B} + \overline{A}B C \end{aligned}$$

Infine, utilizzando il teorema di De Morgan

$$\overline{B} + \overline{A}B C = \overline{(B \cdot (\overline{A}B C))}$$

che può essere implementato come in figura

$$\overline{(A + B)} = \overline{A} * \overline{B} \quad \overline{(A * B)} = \overline{A} + \overline{B}$$



Esercizio 5

Esercizio 156

La pressione di un certo impianto industriale deve essere mantenuta all'interno di un intervallo ottimale di funzionamento. Essa è misurata, convertita in numero binario, n , e memorizzata in un registro a 8 bit.

Progettare un circuito che, in base al valore di n , comanda accensione e spegnimento dell'impianto (accensione e spegnimento sono ottenuti fornendo ad un interruttore comandato un livello logico TTL, "1" per accensione, "0" per spegnimento): il segnale di spegnimento deve essere inviato quando $n \geq 192$; la riaccensione deve avvenire quando $n < 128$.

Flip-flop S-R

| S_n | R_n | Q_{n+1} |
|-------|-------|-----------|
| 0 | 0 | Q_n |
| 1 | 0 | 1 |
| 0 | 1 | 0 |
| 1 | 1 | ? |

$$192 = 128 + 64 = 1100\ 0000$$

Soluzione Esercizio 5

funzionamento. Essa e' misurata, convertita in numero binario, n , e memorizzata in un registro a 8 bit.

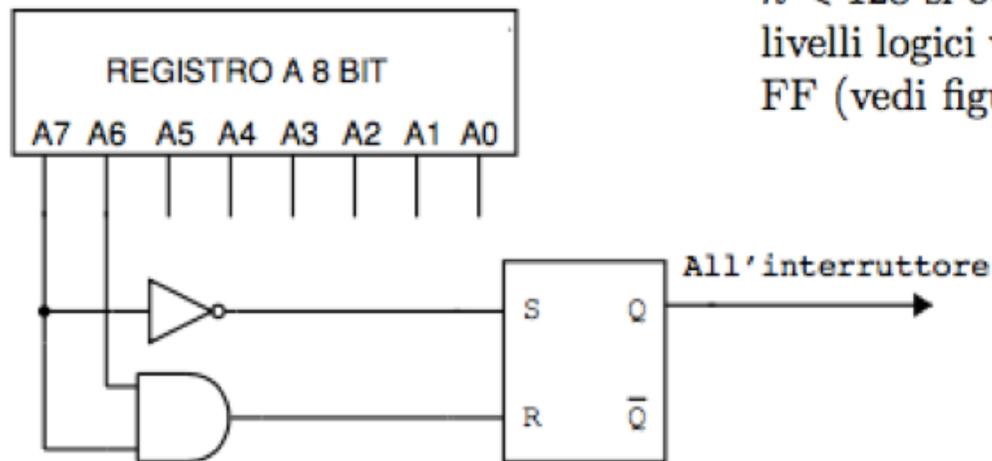
Progettare un circuito che, in base al valore di n , comanda accensione e spegnimento dell'impianto (accensione e spegnimento sono ottenuti fornendo ad un interruttore comandato un livello logico TTL, "1" per accensione, "0" per spegnimento): il segnale di spegnimento deve essere inviato quando $n \geq 192$; la riaccensione deve avvenire quando $n < 128$.

Flip-Flop S-R

| S_n | R_n | Q_{n+1} |
|-------|-------|-----------|
| 0 | 0 | Q_n |
| 1 | 0 | 1 |
| 0 | 1 | 0 |
| 1 | 1 | ? |

Esercizio 156

Il sistema puo' essere realizzato con un Flip Flop SR e due porte logiche. La condizione $n \geq 192$ si ottiene dall'AND dei bit A7 e A6 del registro; la condizione $n < 128$ si ottiene negando il bit A7 del registro. I due livelli logici vengono poi inviati agli ingressi S ed R del FF (vedi figura).



Latch S-R fatto con i NOR

| S | R | Q | \bar{Q} |
|-----|-----|------------|------------|
| 0 | 0 | non cambia | non cambia |
| 1 | 0 | 0 | 1 |
| 0 | 1 | 1 | 0 |
| 1 | 1 | 0 | 0 |

Esercizio 6

Esercizio 155

Il bit di parità è un codice di controllo utilizzato nei calcolatori per prevenire errori nella trasmissione o nella memorizzazione dei dati. Tale sistema prevede l'aggiunta di un bit ridondante ai dati, calcolato in modo tale che il numero di bit che valgono 1 sia sempre pari o dispari. Progettare un dispositivo che riceve all'ingresso un numero a 3 bit e fornisce in uscita lo stesso numero più il bit di parità, P (P è 1 se il dato in ingresso contiene un numero pari di "1").

| A_2 | A_1 | A_0 |
|-------|-------|-------|
| 0 | 0 | 0 |
| 0 | 0 | 1 |
| 0 | 1 | 0 |
| 0 | 1 | 1 |
| 1 | 0 | 0 |
| 1 | 0 | 1 |
| 1 | 1 | 0 |
| 1 | 1 | 1 |

Soluzione esercizio 6

Esercizio 155

Il bit di parità è un codice di controllo utilizzato nei calcolatori per prevenire errori nella trasmissione o nella memorizzazione dei dati. Tale sistema prevede l'aggiunta di un bit ridondante ai dati, calcolato in modo tale che il numero di bit che valgono 1 sia sempre pari o dispari. Progettare un dispositivo che riceve all'ingresso un numero a 3 bit e fornisce in uscita lo stesso numero più il bit di parità, P (P è 1 se il dato in ingresso contiene un numero pari di "1").

Esercizio 155

Esaminando la tavola della verità si trova che la funzione richiesta è

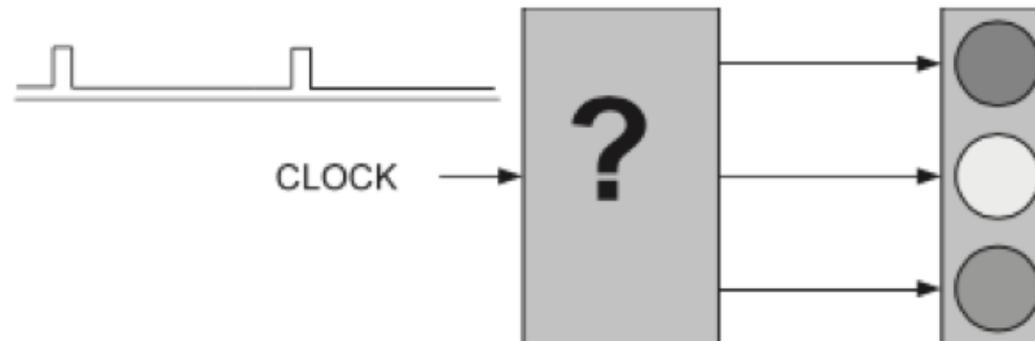
$$P = \overline{A_0}A_1A_2 + A_0\overline{A_1}A_2 + A_0A_1\overline{A_2} + \overline{A_0}\overline{A_1}\overline{A_2}$$

| A ₂ | A ₁ | A ₀ | |
|----------------|----------------|----------------|---|
| 0 | 0 | 0 | ← |
| 0 | 0 | 1 | |
| 0 | 1 | 0 | |
| 0 | 1 | 1 | ← |
| 1 | 0 | 0 | |
| 1 | 0 | 1 | ← |
| 1 | 1 | 0 | ← |
| 1 | 1 | 1 | |

Esercizio 7

Esercizio 150

In molti paesi i semafori stradali operano con una sequenza a 4 fasi, (Verde) - (Giallo) - (Rosso) - (Rosso+Giallo), che si ripete ciclicamente. Utilizzando componenti noti progettare il circuito di controllo necessario per operare il semaforo in tale modo. Si supponga di ricevere un idoneo impulso di clock che scandisce le transizioni; inoltre si supponga che ogni lanterna del semaforo ha un interruttore comandato che accende quando riceve un livello logico alto e spegne quando riceve un livello logico basso.



Soluzione esercizio 7

Esercizio 150

Le 4 fasi del semaforo possono essere logicamente descritte con due variabili binarie ovvero un numero a 2 bit, come in questa tabella:

| Q_1 | Q_0 | Luce |
|-------|-------|-------|
| 0 | 0 | V |
| 0 | 1 | G |
| 1 | 0 | R |
| 1 | 1 | R + G |

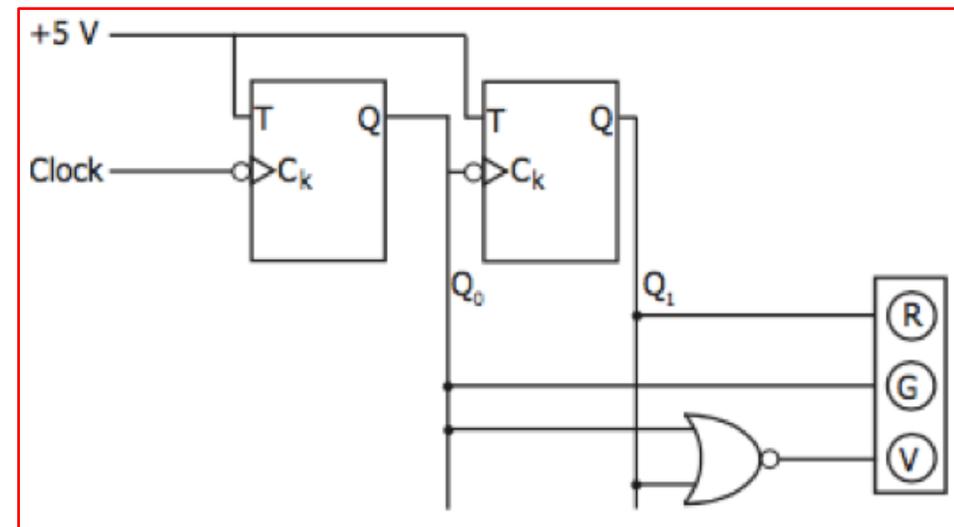
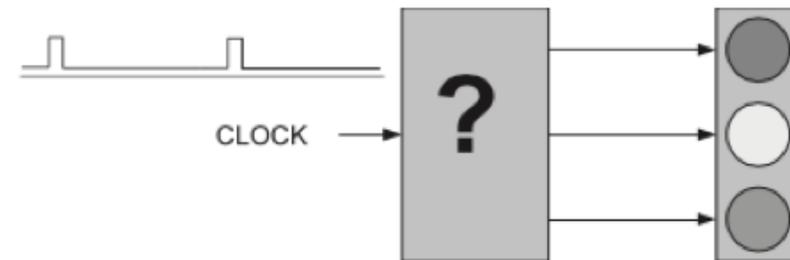
Si riconosce facilmente che i comandi logici di accensione sono dati da

$$V \rightarrow \overline{Q_1} \overline{Q_0} = \overline{Q_1 + Q_0}$$

$$G \rightarrow Q_0$$

$$R \rightarrow Q_1$$

Si puo' quindi costruire un contatore a 2 bit con due Flip Flop tipo T (edge triggered, sensibile al fronte di discesa, oppure master-slave) e utilizzare le due uscite per costruire i comandi logici da inviare alle lanterne, come in figura.



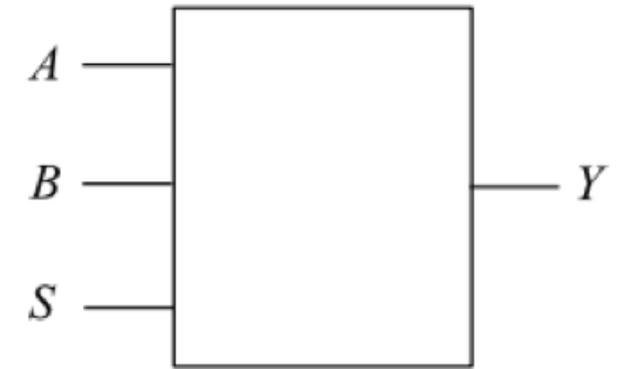
Esercizio 8

Esercizio 164

Progettare un circuito che fornisce in uscita l'OR oppure il NAND delle due variabili logiche A e B, in base al valore di S:

$$S = 0 \rightarrow Y = A + B$$

$$S = 1 \rightarrow Y = \overline{AB}$$



$$Y = A + B = \overline{\overline{A} \cdot \overline{B}}$$

$$\begin{aligned} S = 0 &\rightarrow \overline{Y} = \overline{A} \cdot \overline{B} \\ S = 1 &\rightarrow \overline{Y} = A \cdot B \end{aligned}$$

| | S | A | B | \overline{Y} |
|--|---|---|---|----------------|
| $\overline{Y} = \overline{A} \cdot \overline{B}$ | 0 | 0 | 0 | 1 |
| | 0 | 0 | 1 | 1 |
| | 0 | 1 | 0 | 1 |
| | 0 | 1 | 1 | 0 |
| $\overline{Y} = A \cdot B$ | 1 | 0 | 0 | 0 |
| | 1 | 0 | 1 | 0 |
| | 1 | 1 | 0 | 0 |
| | 1 | 1 | 1 | 1 |

Soluzione esercizio 8

Esercizio 164

Progettare un circuito che fornisce in uscita l'OR oppure il NAND delle due variabili logiche A e B, in base al valore di S:

$$S = 0 \rightarrow Y = A + B$$

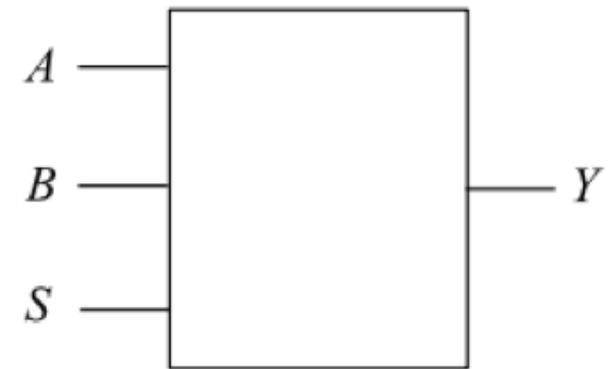
$$S = 1 \rightarrow Y = \overline{AB}$$

Esercizio 164

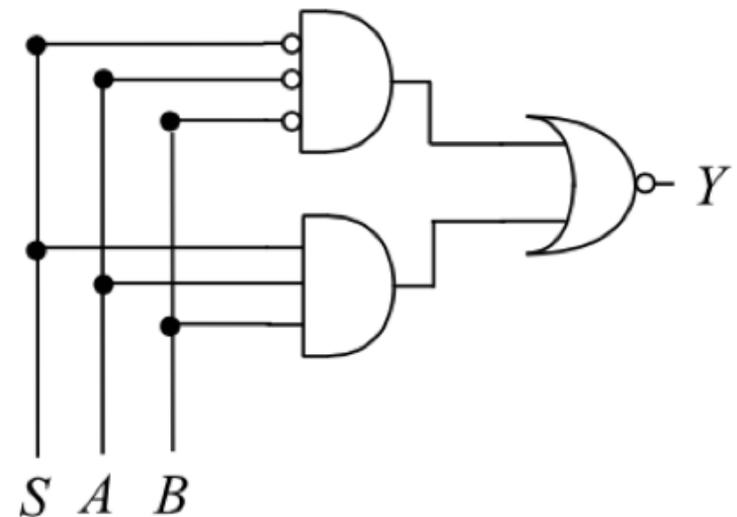
La tavola della verità del circuito richiesto è:

| S | A | B | Y |
|---|---|---|---|
| 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 1 |
| 0 | 1 | 0 | 1 |
| 0 | 1 | 1 | 1 |
| 1 | 0 | 0 | 1 |
| 1 | 0 | 1 | 1 |
| 1 | 1 | 0 | 1 |
| 1 | 1 | 1 | 0 |

In forma canonica la funzione ha 6 termini, è più conveniente sviluppare la funzione \overline{Y} e poi negarla. Si ha perciò:



$$Y = \overline{\overline{S} \overline{A} \overline{B}} + \overline{SAB}$$

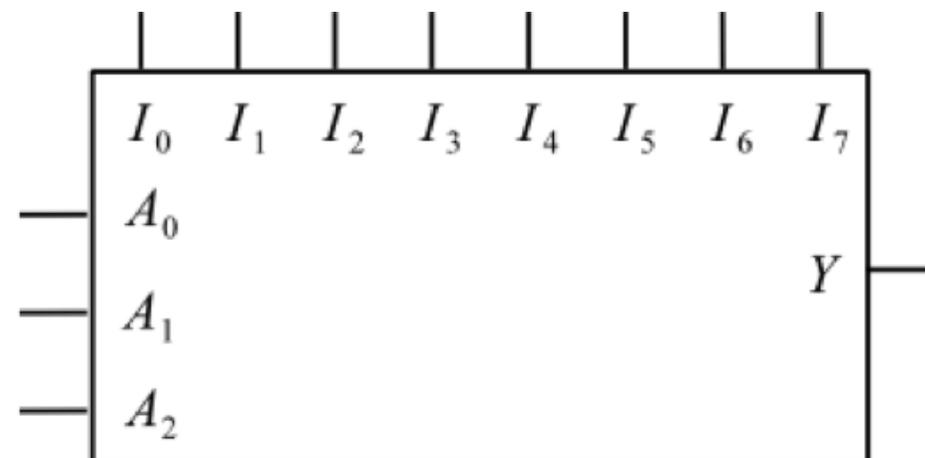


Esercizio 9

Esercizio 167

Progettare, utilizzando un multiplexer, un circuito logico con 3 ingressi che riceve un numero binario a 3 bit e fornisce un'uscita logica 1 se e solo se il numero in ingresso è maggiore di 5.

| A_2 | A_1 | A_0 |
|-------|-------|-------|
| 0 | 0 | 0 |
| 0 | 0 | 1 |
| 0 | 1 | 0 |
| 0 | 1 | 1 |
| 1 | 0 | 0 |
| 1 | 0 | 1 |
| 1 | 1 | 0 |
| 1 | 1 | 1 |



Soluzione esercizio 9

Esercizio 167

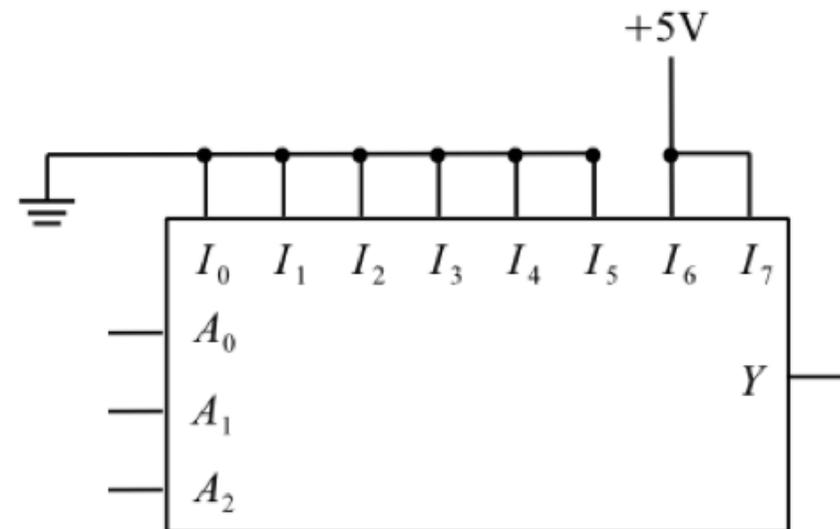
Progettare, utilizzando un multiplexer, un circuito logico con 3 ingressi che riceve un numero binario a 3 bit e fornisce un'uscita logica 1 se e solo se il numero in ingresso è maggiore di 5.

Esercizio 167

La tavola della verità della funzione richiesta è:

| A_2 | A_1 | A_0 | Y |
|-------|-------|-------|-----|
| 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 0 |
| 0 | 1 | 0 | 0 |
| 0 | 1 | 1 | 0 |
| 1 | 0 | 0 | 0 |
| 1 | 0 | 1 | 0 |
| 1 | 1 | 0 | 1 |
| 1 | 1 | 1 | 1 |

Il circuito da realizzare è quindi il seguente:



Esercizio 10

Esercizio 170

Progettare il circuito logico a 3 ingressi che produce in uscita la funzione

$$Y = \overline{A}BC + A\overline{B}C + ABC\overline{C}$$

utilizzando solo porte NOT, porte AND a due ingressi e porte OR a due ingressi.

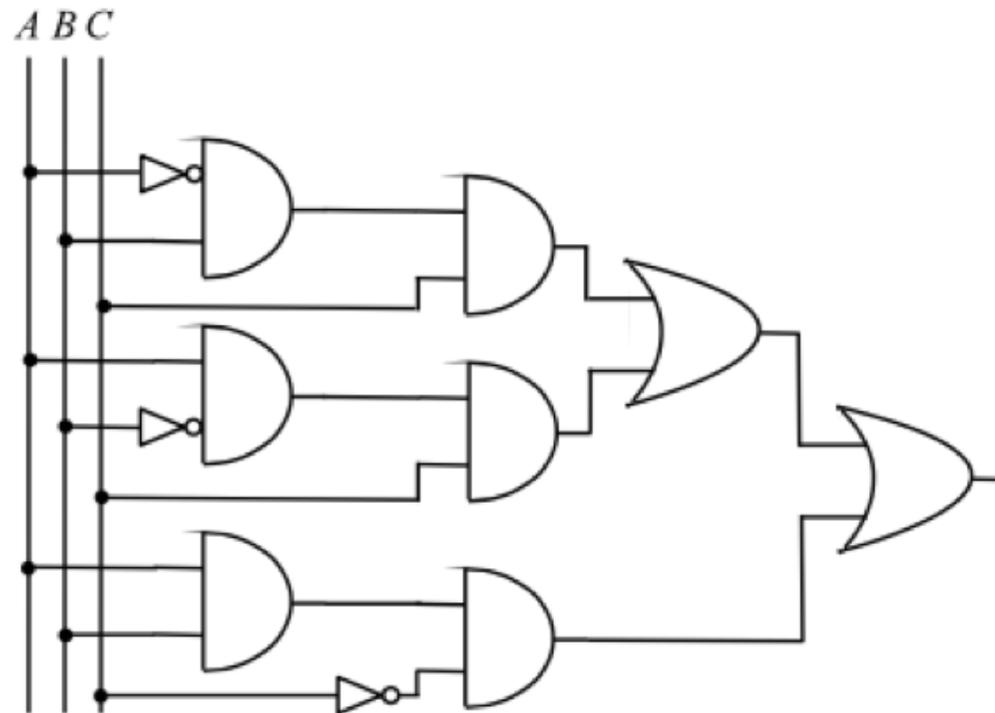
Soluzione Esercizio 10

Esercizio 170

Progettare il circuito logico a 3 ingressi che produce in uscita la funzione

$$Y = \bar{A}BC + A\bar{B}C + ABC\bar{C}$$

utilizzando solo porte NOT, porte AND a due ingressi e porte OR a due ingressi.



Esercizio 11

Esercizio 171

Progettare, utilizzando un decoder e opportune porte logiche, un sommatore completo (Full Adder) a 1 bit.

| A_n | B_n | C_{n-1} | S_n | C_n |
|-------|-------|-----------|-------|-------|
| 0 | 0 | | | |
| 0 | 0 | | | |
| 0 | 1 | | | |
| 0 | 1 | | | |
| 1 | 0 | | | |
| 1 | 0 | | | |
| 1 | 1 | | | |
| 1 | 1 | | | |

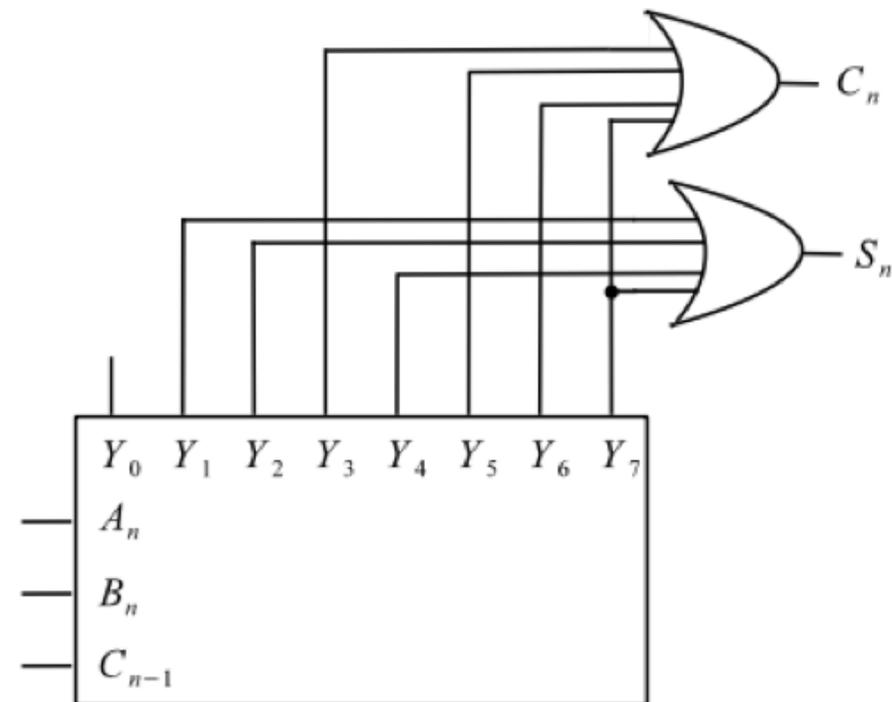
Soluzione Esercizio 11

Esercizio 171

Progettare, utilizzando un decoder e opportune porte logiche, un sommatore completo (Full Adder) a 1 bit.

| A_n | B_n | C_{n-1} | S_n | C_n |
|-------|-------|-----------|-------|-------|
| 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 1 | 0 |
| 0 | 1 | 0 | 1 | 0 |
| 0 | 1 | 1 | 0 | 1 |
| 1 | 0 | 0 | 1 | 0 |
| 1 | 0 | 1 | 0 | 1 |
| 1 | 1 | 0 | 0 | 1 |
| 1 | 1 | 1 | 1 | 1 |

Il circuito da realizzare e' quindi il seguente:



esercizio 12

Esercizio 154

In un certo impianto industriale la temperatura è tenuta sotto controllo con 3 sonde, che forniscono 3 tensioni, V_1, V_2, V_3 comprese fra 0 e 5 V. Si vuole realizzare un sistema di allarme per segnalare situazioni anomale, ovvero:

Se tutte le tensioni sono minori di 3 V si accende un Led verde;

Se tutte le tensioni superano 3 V si accende un Led rosso;

Se 2 delle 3 tensioni superano 3 V si accende un Led giallo.

Progettate il circuito necessario per ottenere questo risultato utilizzando i dispositivi che conoscete.

Soluzione esercizio 12

Esercizio 154

In un certo impianto industriale la temperatura è tenuta sotto controllo con 3 sonde, che forniscono 3 tensioni, V_1, V_2, V_3 comprese fra 0 e 5 V. Si vuole realizzare un sistema di allarme per segnalare situazioni anomale, ovvero:

Se tutte le tensioni sono minori di 3 V si accende un Led verde;

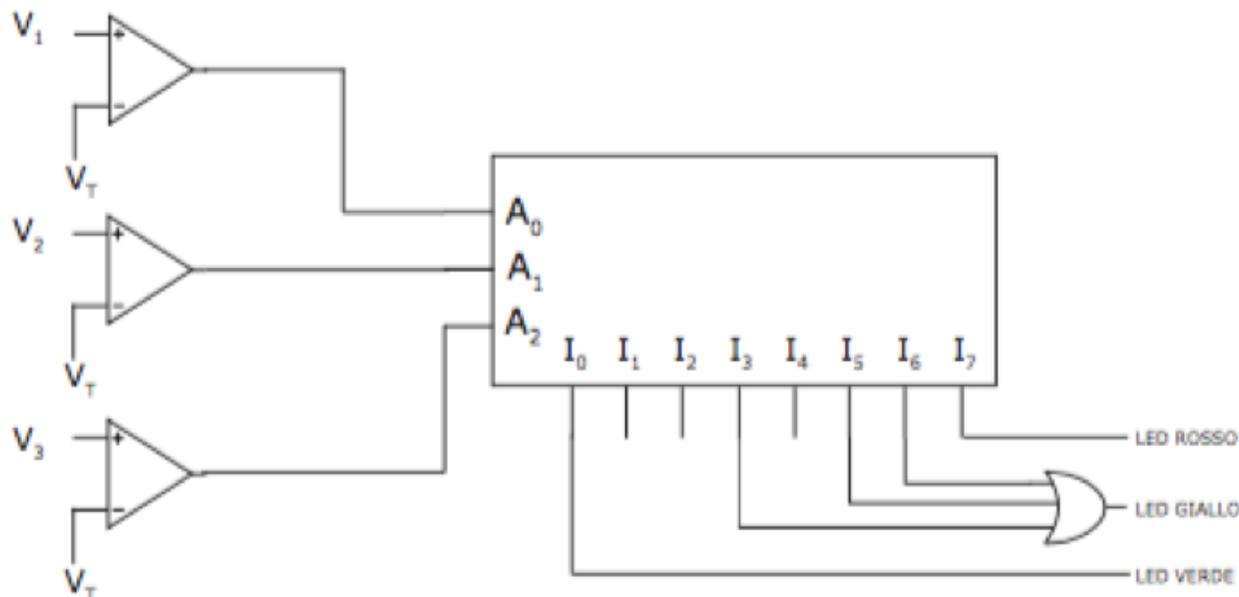
Se tutte le tensioni superano 3 V si accende un Led rosso;

Se 2 delle 3 tensioni superano 3 V si accende un Led giallo.

Progettate il circuito necessario per ottenere questo risultato utilizzando i dispositivi che conoscete.

Esercizio 154

Le tre tensioni sono inviate a tre comparatori, con soglia $V_T = 3 V$. I segnali logici ricavati possono essere utilizzati per costruire le condizioni di allarme (in figura ciò è stato ottenuto con un decoder, ma poteva essere fatto anche in altri modi).



| A_2 | A_1 | A_0 | Led |
|-------|-------|-------|--------|
| 0 | 0 | 0 | Verde |
| 0 | 0 | 1 | |
| 0 | 1 | 0 | |
| 0 | 1 | 1 | giallo |
| 1 | 0 | 0 | |
| 1 | 0 | 1 | giallo |
| 1 | 1 | 0 | giallo |
| 1 | 1 | 1 | Rosso |

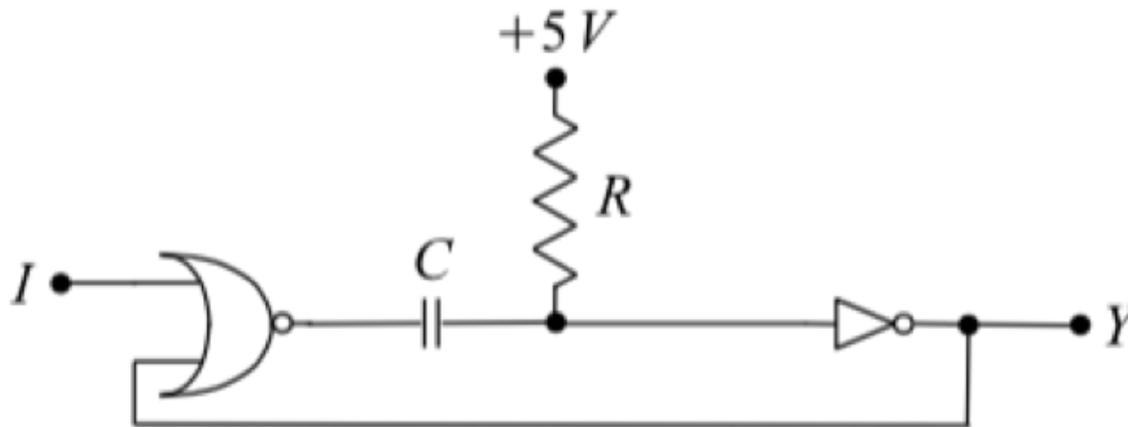
esercizio 13

Esercizio 162

Il circuito in figura è realizzato con porte TTL in logica positiva. Inizialmente l'ingresso I si trova a 0 logico. All'istante $t = t_1$ passa a 1 logico.

- Determinare lo stato iniziale dell'uscita Y , ovvero per $t < t_1$;
- Costruire in modo qualitativo l'andamento temporale dell'uscita Y per $t \geq t_1$.

Si considerino trascurabili i tempi di commutazione delle porte logiche rispetto al tempo $\tau = RC$. Si tenga invece conto dei valori effettivi delle soglie di commutazione.



Soluzione esercizio 13

Il circuito in figura è realizzato con porte TTL in logica positiva. Inizialmente l'ingresso I si trova a 0 logico. All'istante $t = t_1$ passa a 1 logico.

Esercizio 162

Indichiamo con A l'uscita del *NOR* e con B l'ingresso del *NOT*.

Per determinare lo stato iniziale del sistema si può procedere per ipotesi:

$Y = 0$: in questo caso $A = 1$, anche $B = 1$, il condensatore è scarico. E' uno stato stabile.

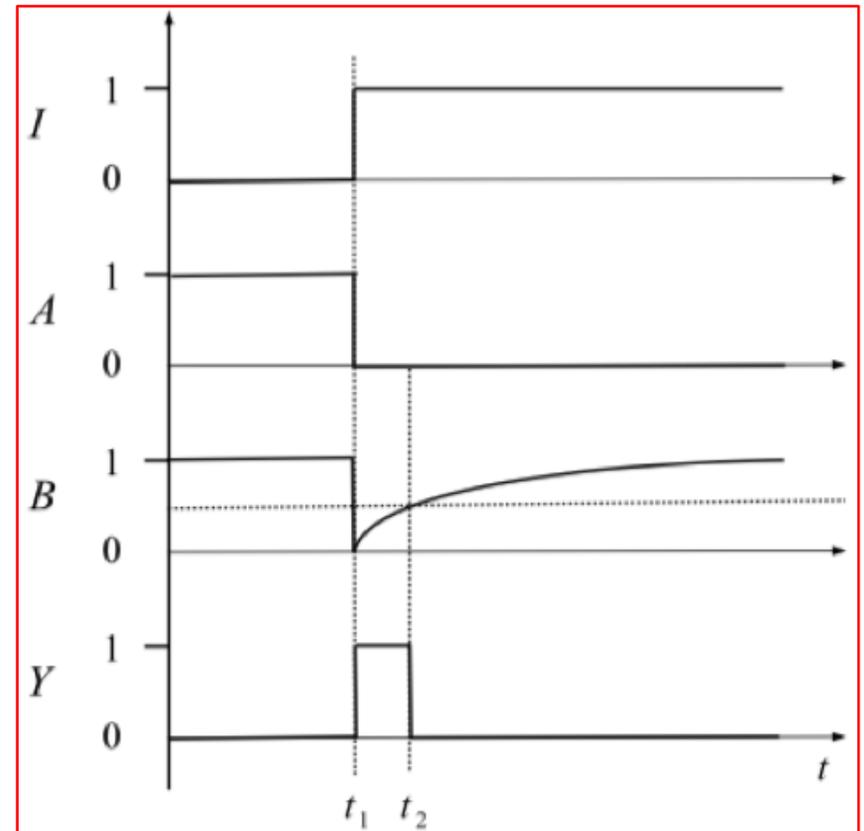
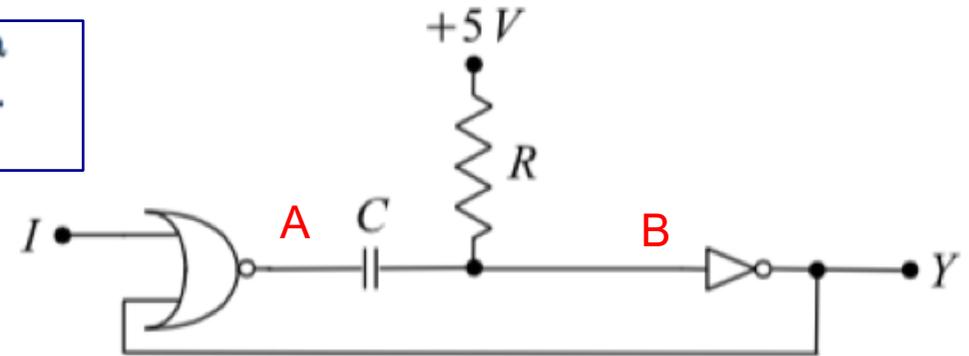
$Y = 1$: in questo caso si dovrebbe avere $A = 0$ e $B = 0$, questo stato non è stabile, visto che il punto B è collegato a $+5 V$.

Lo stato iniziale è quindi $Y = 0$.

All'istante t_1 I passa a 1 e A scende a 0. Anche B scende a 0, ma a questo punto il condensatore inizia a caricarsi con andamento esponenziale:

$$v_B = 5(1 - e^{-\frac{t}{RC}})$$

All'istante t_2 , v_B raggiunge la soglia di commutazione del *NOT*, Y ritorna a 0, ovvero nel suo stato stabile. L'uscita del *NOR* resta a 0



esercizio 14

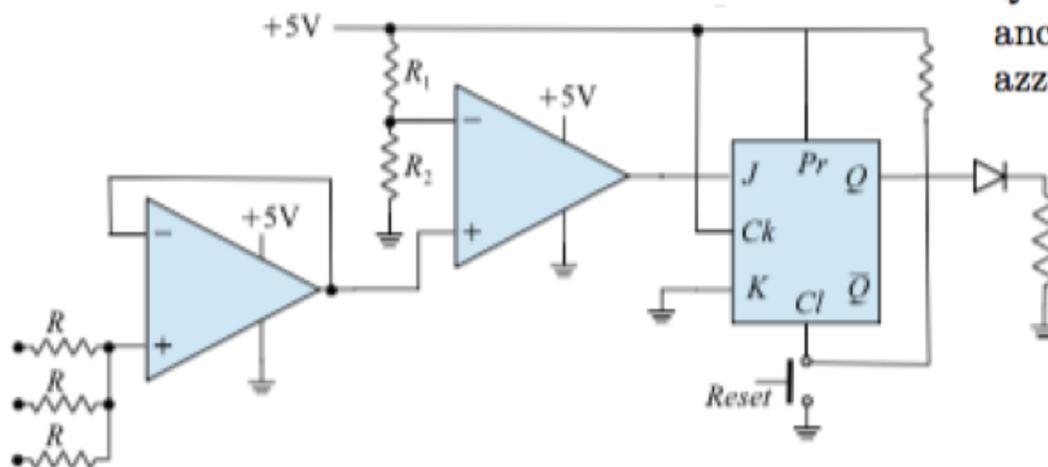
Esercizio 166

La temperatura di un sistema fisico è tenuta sotto controllo da tre sonde, T_1, T_2 e T_3 . Ogni sonda fornisce una tensione $V_i = 10 \times T_i$ (con V in mV e T in gradi centigradi). Progettare un circuito che genera un allarme (accensione di un Led) quando la media delle tre temperature supera $90^\circ C$. L'allarme deve persistere (ovvero il Led deve rimanere acceso) anche se la temperatura riscende sotto la soglia di allarme e deve poter essere azzerato manualmente.

Soluzione esercizio 14

Esercizio 166

La temperatura di un sistema fisico è tenuta sotto controllo da tre sonde, T_1, T_2 e T_3 . Ogni sonda fornisce una tensione $V_i = 10 \times T_i$ (con V in mV e T in gradi centigradi). Progettare un circuito che genera un allarme (accensione di un Led) quando la media delle tre temperature supera $90^\circ C$. L'allarme deve persistere (ovvero il Led deve rimanere acceso) anche se la temperatura riscende sotto la soglia di allarme e deve poter essere azzerato manualmente.



Esercizio 166

Il problema può essere risolto con un sommatore non invertente a 3 ingressi, un comparatore e un Flip Flop, tutti alimentati a $+5V$.

Le uscite delle 3 sonde vengono collegate ai 3 ingressi del sommatore, la cui tensione di uscita $V_o = (V_1 + V_2 + V_3)/3$, ovvero proprio la tensione media fornita dalle sonde. La soglia di $90^\circ C$ corrisponde a $900 mV$, questo valore deve essere impostato sull'ingresso negativo del comparatore (può essere ricavato con un opportuno partitore dall'alimentazione). Inizialmente il FFF viene impostato a $Q = 0$ con il pulsante collegato al *Clear*. Se $V_o > 900 mV$ l'uscita del comparatore va a $+5V$ (1 logico), quindi il FF fornisce $Q = 1$ e provoca l'accensione del Led, che resta acceso anche se V_o torna sotto soglia. L'allarme può essere azzerato solo usando di nuovo il pulsante di *Clear*.

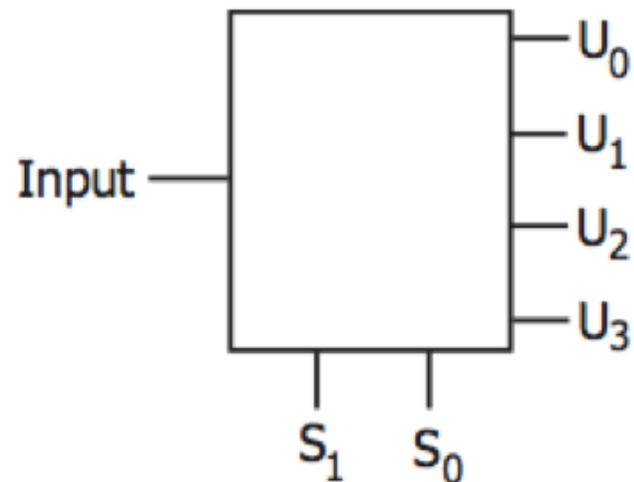
| J_n | K_n | Q_{n+1} |
|-------|-------|-------------|
| 0 | 0 | Q_n |
| 1 | 0 | 1 |
| 0 | 1 | 0 |
| 1 | 1 | \bar{Q}_n |

| C_r | P_r | Q | \bar{Q} |
|-------|-------|-----|-----------|
| 0 | 1 | 0 | 1 |
| 1 | 0 | 1 | 0 |

esercizio 15

Esercizio 140

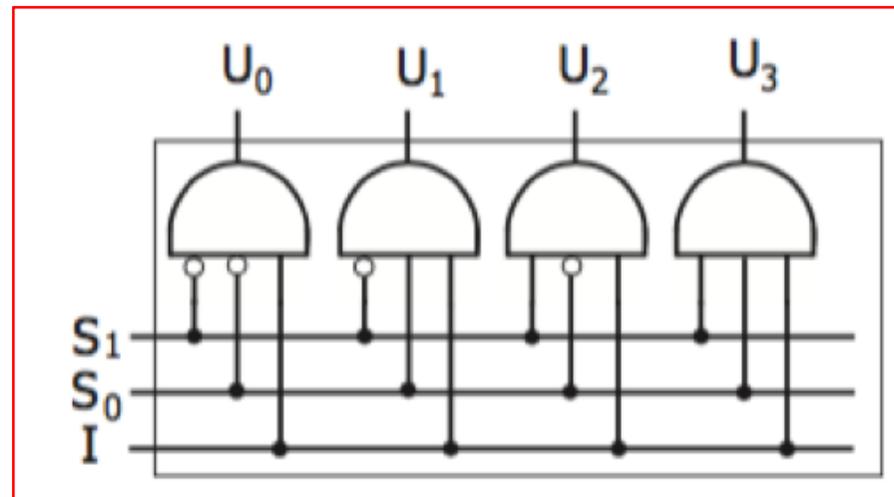
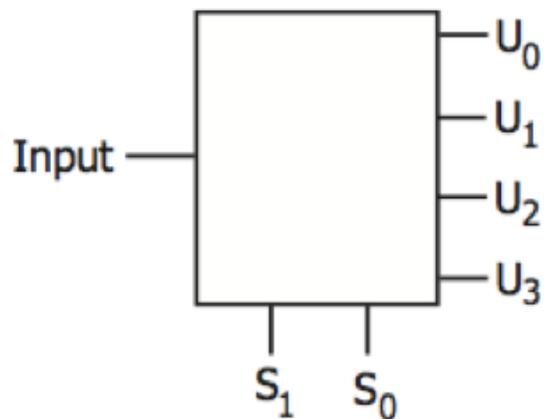
Un demultiplexer digitale e' un dispositivo che consente di connettere un ingresso digitale ad una sola, tra molte uscite, sulla base di un comando opportuno. Realizzare, con porte logiche elementari TTL, lo schema di un demultiplexer a 4 uscite. La selezione dell'uscita da collegare all'ingresso è effettuata inviando un numero binario a 2 bit agli ingressi di selezione S_0 , S_1 .



Soluzione esercizio 15

Esercizio 140

Un demultiplexer digitale e' un dispositivo che consente di connettere un ingresso digitale ad una sola, tra molte uscite, sulla base di un comando opportuno. Realizzare, con porte logiche elementari TTL, lo schema di un demultiplexer a 4 uscite. La selezione dell'uscita da collegare all'ingresso è effettuata inviando un numero binario a 2 bit agli ingressi di selezione S_0 , S_1 .



esercizio 16

Esercizio 141

L'uscita Y di un circuito logico a 4 ingressi rispetta la seguente tavola della verità (x vuol dire "qualunque"):

| E | SEL | A | B | Y |
|-----|-------|-----|-----|-----|
| H | x | x | x | L |
| L | L | L | x | L |
| L | L | H | x | H |
| L | H | x | L | L |
| L | H | x | H | H |

L=0 ; H=1

Costruire lo schema di questo circuito utilizzando le porte logiche elementari.

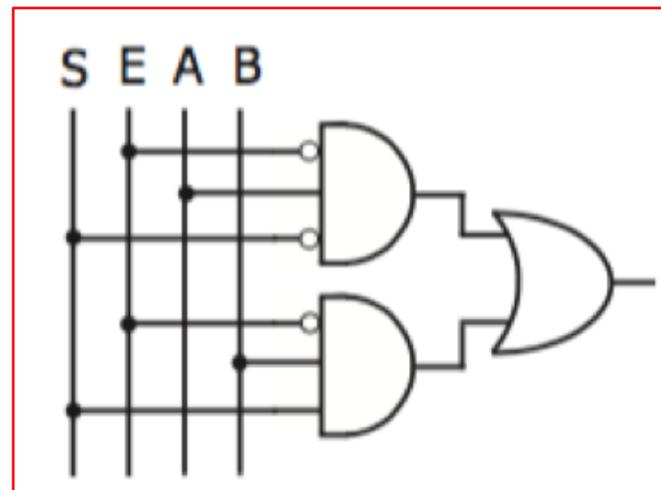
Soluzione esercizio 16

Esercizio 141

L'uscita Y di un circuito logico a 4 ingressi rispetta la seguente tavola della verità (x vuol dire "qualunque"):

| E | SEL | A | B | Y |
|-----|-------|-----|-----|-----|
| H | x | x | x | L |
| L | L | L | x | L |
| L | L | H | x | H |
| L | H | x | L | L |
| L | H | x | H | H |

Costruire lo schema di questo circuito utilizzando le porte logiche elementari.

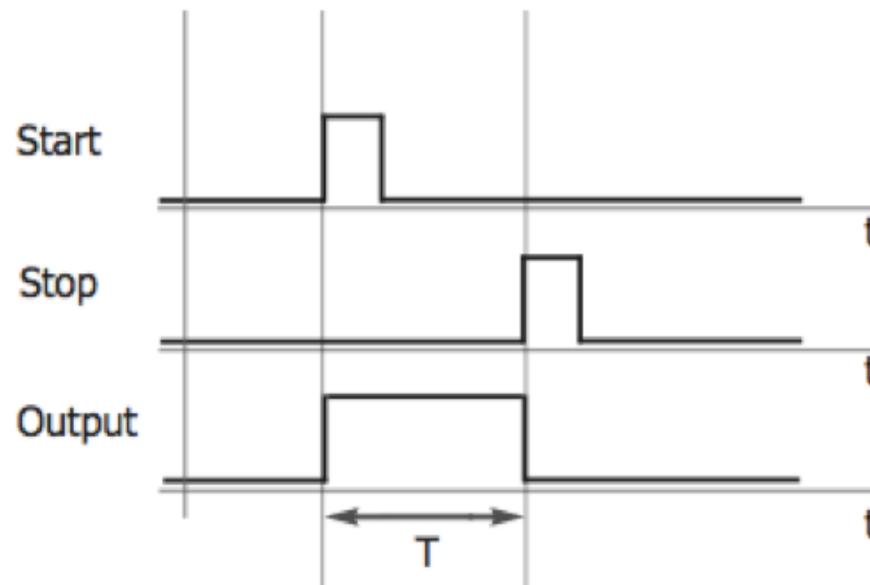


esercizio 17

Esercizio 142

Vogliamo realizzare un dispositivo in grado di fornire in uscita un segnale logico TTL di durata temporale pari alla differenza tra i tempi di arrivo di due segnali (vedi figura).

Per semplicità possiamo fare l'ipotesi che il segnale di Stop arriva sicuramente dopo uno Start; inoltre possiamo considerare trascurabili tutti i tempi di commutazione intrinseci dell'elettronica che abbiamo a disposizione.

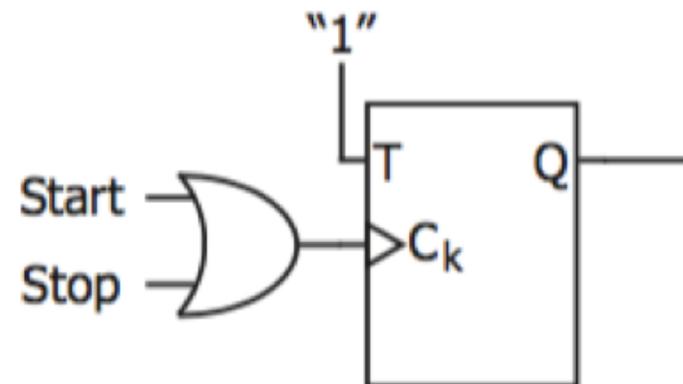
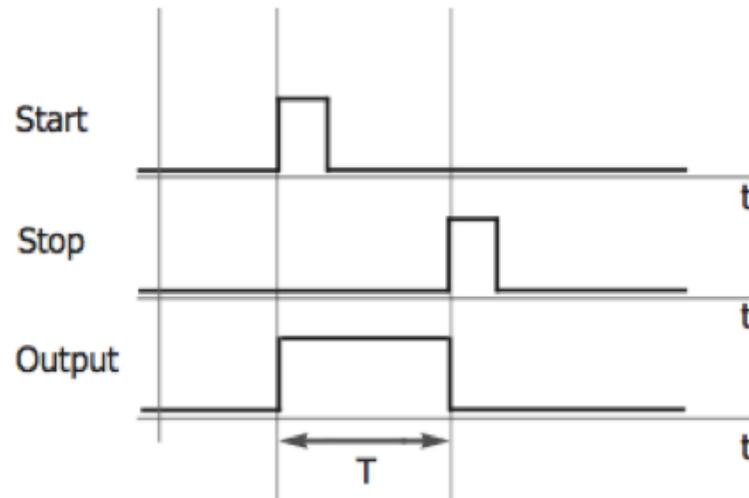


Soluzione esercizio 17

Esercizio 142

Vogliamo realizzare un dispositivo in grado di fornire in uscita un segnale logico TTL di durata temporale pari alla differenza tra i tempi di arrivo di due segnali (vedi figura).

Per semplicità possiamo fare l'ipotesi che il segnale di Stop arriva sicuramente dopo uno Start; inoltre possiamo considerare trascurabili tutti i tempi di commutazione intrinseci dell'elettronica che abbiamo a disposizione.



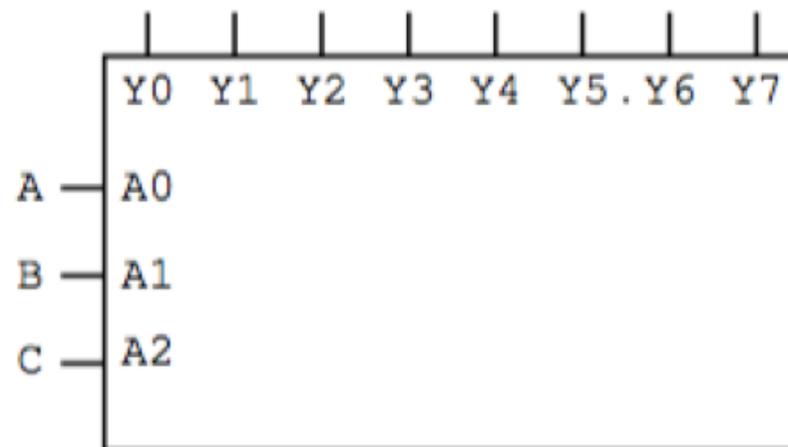
Il problema è facilmente risolto utilizzando un FF "edge triggered" di tipo T, come in figura.

esercizio 18

Esercizio 159

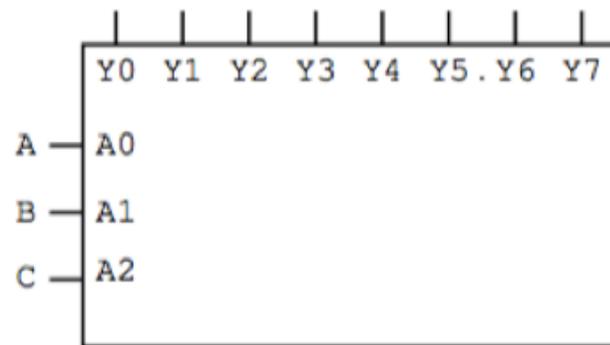
Un decoder e' un circuito con n ingressi e 2^n uscite: lo stato logico degli ingressi determina quale delle uscite viene attivata, cioe' posta ad 1 logico.

Un decoder, usato insieme a opportune porte logiche, consente anche di costruire funzione logiche degli ingressi.



Utilizzando un decoder a 3 ingressi si realizzi un generatore di parita' ovvero un circuito che fornisca in uscita un "1" logico, quando nei 3 bit di ingresso è presente un numero pari di "1" (cioe' zero, oppure due).

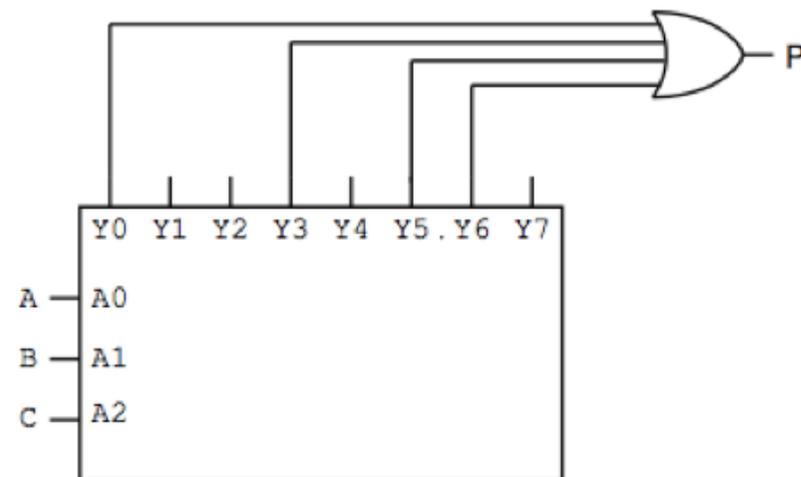
Soluzione esercizio 18



Utilizzando un decoder a 3 ingressi si realizzi un generatore di parità ovvero un circuito che fornisca in uscita un "1" logico, quando nei 3 bit di ingresso è presente un numero pari di "1" (cioè zero, oppure due).

Esercizio 159

Il problema si risolve prendendo l'OR delle uscite $Y_0(000)$, $Y_3(011)$, $Y_5(101)$, $Y_6(110)$.



esercizio 19

Esercizio 132

Si hanno quattro variabili logiche, A, B, C e D, che provengono da altrettanti dispositivi di misura. Costruire, con le porte logiche standard, un circuito ‘rivelatore di uguaglianza’, cioè un circuito che riceve agli ingressi A,B,C,D e fornisce all’uscita un valore 1 quando due e solo due dei suo ingressi valgono 1.

| A | B | C | D | Q |
|---|---|---|---|---|
| 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 0 | 1 | 0 |
| 0 | 0 | 1 | 0 | 0 |
| 0 | 0 | 1 | 1 | 1 |
| 0 | 1 | 0 | 0 | 0 |
| 0 | 1 | 0 | 1 | 1 |
| 0 | 1 | 1 | 0 | 1 |
| 0 | 1 | 1 | 1 | 0 |
| 1 | 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 1 | 1 |
| 1 | 0 | 1 | 0 | 1 |
| 1 | 0 | 1 | 1 | 0 |
| 1 | 1 | 0 | 0 | 1 |
| 1 | 1 | 0 | 1 | 0 |
| 1 | 1 | 1 | 0 | 0 |
| 1 | 1 | 1 | 1 | 0 |

Soluzione esercizio 19

Esercizio 132

Si hanno quattro variabili logiche, A, B, C e D, che provengono da altrettanti dispositivi di misura. Costruire, con le porte logiche standard, un circuito 'rivelatore di uguaglianza', cioè un circuito che riceve agli ingressi A,B,C,D e fornisce all'uscita un valore 1 quando due e solo due dei suo ingressi valgono 1.

Esercizio 132

La funzione logica desiderata e' data da:

$$Y = \overline{A}B\overline{C}D + \overline{A}BC\overline{D} + A\overline{B}\overline{C}D + A\overline{B}C\overline{D}$$

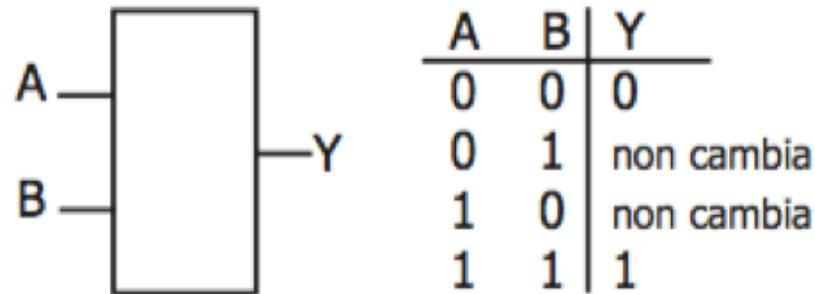
$$+ A\overline{B}C\overline{D} + \overline{A}B\overline{C}D$$

| A | B | C | D | Q |
|---|---|---|---|---|
| 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 0 | 1 | 0 |
| 0 | 0 | 1 | 0 | 0 |
| 0 | 0 | 1 | 1 | 1 |
| 0 | 1 | 0 | 0 | 0 |
| 0 | 1 | 0 | 1 | 1 |
| 0 | 1 | 1 | 0 | 1 |
| 0 | 1 | 1 | 1 | 0 |
| 1 | 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 1 | 1 |
| 1 | 0 | 1 | 0 | 1 |
| 1 | 0 | 1 | 1 | 0 |
| 1 | 1 | 0 | 0 | 1 |
| 1 | 1 | 0 | 1 | 0 |
| 1 | 1 | 1 | 0 | 0 |
| 1 | 1 | 1 | 1 | 0 |

Esercizio 20

Esercizio 134

Il c gate di Muller è un circuito a due ingressi che realizza la tavola della verità riportata in figura. Progettare tale circuito utilizzando elementi circuitali che conoscete.

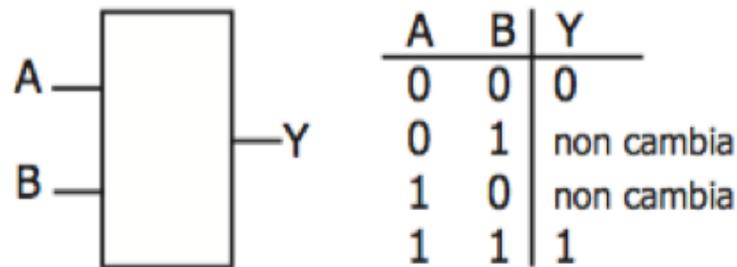


| S_n | R_n | Q_{n+1} |
|-------|-------|-----------|
| 0 | 0 | Q_n |
| 1 | 0 | 1 |
| 0 | 1 | 0 |
| 1 | 1 | ? |

Soluzione esercizio 20

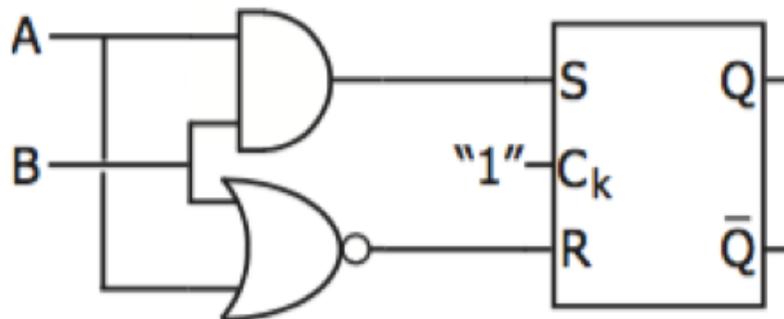
Esercizio 134

Il c gate di Muller è un circuito a due ingressi che realizza la tavola della verità riportata in figura. Progettare tale circuito utilizzando elementi circuitali che conoscete.



Esercizio 134

Puo' essere risolto utilizzando un FF SR (con il clock sempre abilitato), come in figura.



| S_n | R_n | Q_{n+1} |
|-------|-------|-----------|
| 0 | 0 | Q_n |
| 1 | 0 | 1 |
| 0 | 1 | 0 |
| 1 | 1 | ? |



SAPIENZA
UNIVERSITÀ DI ROMA

Fine esercitazione 2