

Laboratorio di Segnali e Sistemi

- Esercitazione -6 -

Elettronica digitale: porte logiche



Claudio Luci
SAPIENZA
UNIVERSITÀ DI ROMA

last update : 070117

Argomenti dell'esercitazione:

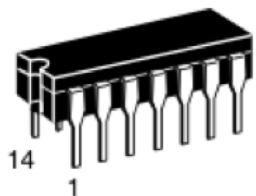
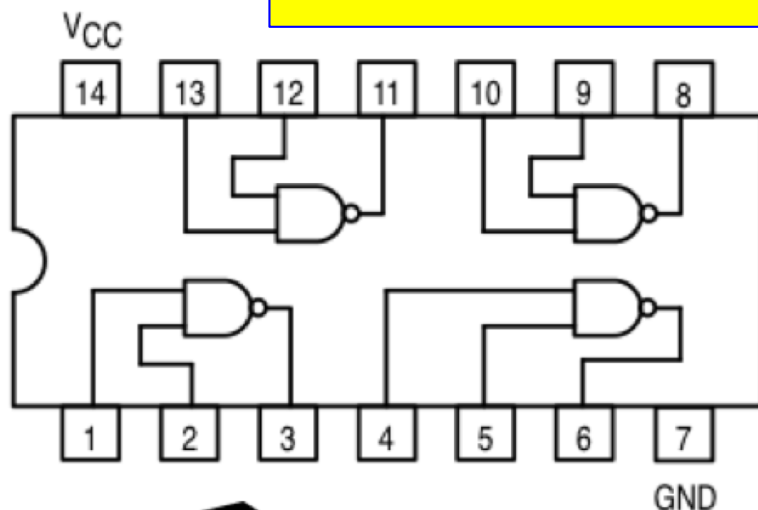
- Livello di commutazione delle porte logiche TTL
- Realizzazione di un circuito XOR con porte NAND
- Realizzazione di un multiplexer a due ingressi con porte NAND (facoltativo)
- Realizzazione di un flip-flop SR con porte NAND

Introduzione

Questa esercitazione è dedicata allo studio dei circuiti logici. Utilizzeremo un integrato della serie 74, in particolare il 74LS00. Queste porte logiche devono essere alimentate con una tensione di 5V (o leggermente superiore), mentre il piedino GND deve essere collegato a massa. Normalmente (tranne l'esperimento 1) gli ingressi delle porte logiche dovranno essere collegati a 5 V o poco meno (1 logico) oppure a 0 V o poco più (0 logico). Si noti che lo 0 logico significa collegare l'ingresso a massa e non lasciarlo volante! Per visualizzare rapidamente il livello delle uscite utilizzeremo dei LED. Il LED deve essere protetto con una resistenza dell'ordine di 500 Ohm verso massa.

$V_{cc} = 5V$

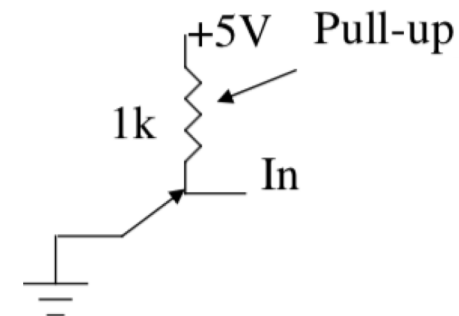
L'integrato è visto dall'alto



J SUFFIX
CERAMIC
CASE 632-08

4 porte NAND
a due ingressi

Per realizzare gli ingressi (statici) utilizzare dei collegamenti fatti in questo modo:



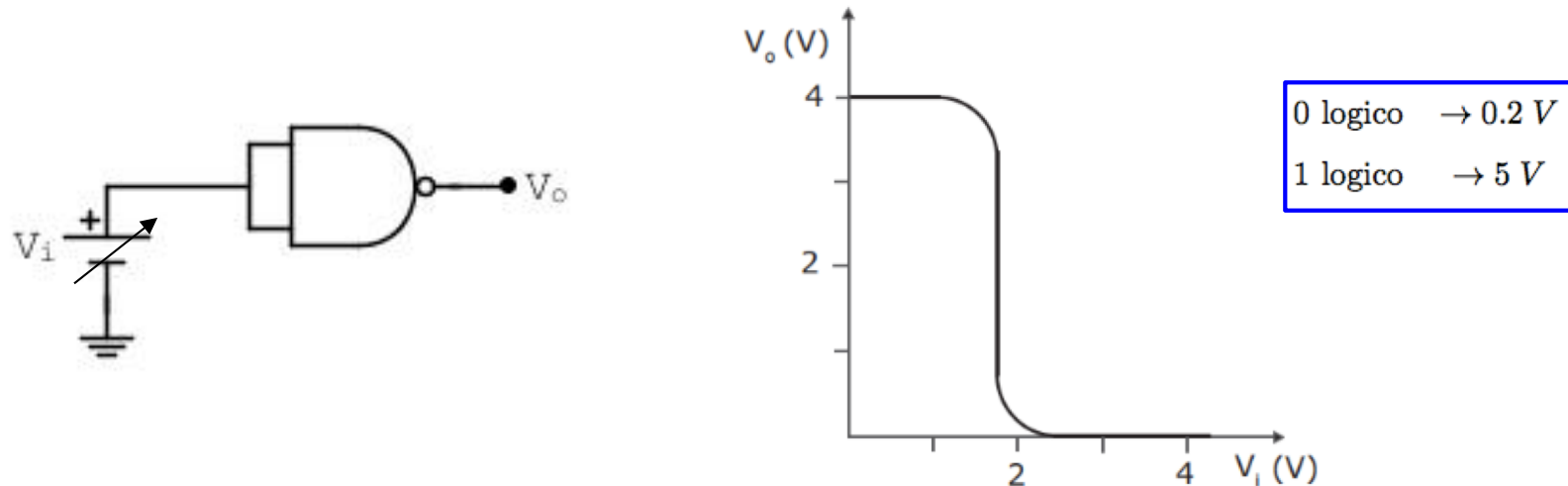
Interruttore chiuso: $In = 0$

Interruttore aperto: $In = 1$

Livello di commutazione delle porte logiche TTL

Per prima cosa studieremo il livello di commutazione di una porta NOT (costruita utilizzando un NAND 7400). Manderemo all'ingresso una tensione variabile tra 0 e 5 V, ottenuta da uno degli alimentatori disponibili (diverso da quello utilizzato per alimentare l'integrato!) e studieremo l'andamento conseguente della tensione di uscita.

In figura 6.2 è mostrato l'andamento orientativamente previsto, confrontate il risultato ottenuto con le definizioni dello standard logico in uso.



Misure

- Provate a costruire due cicli di "isteresi" per controllare se la transizione dipende dal valore di partenza:
 - 1) Iniziate da 0 V, aumentate fino ad arrivare a 5 V e poi tornare indietro a 0 V
 - 2) Iniziate da 5 V, diminuite fino a 0 V e poi tornate indietro fino a 5 V

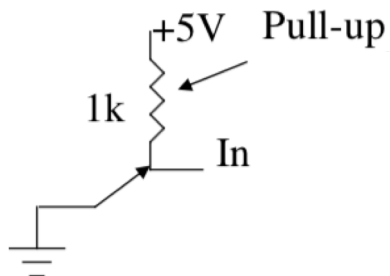
Realizzazione di un circuito XOR con porte NAND

Costruire il circuito OR esclusivo o XOR come mostrato in figura e verificare la tavola della verità applicando agli ingressi A e B i livelli logici 1 tramite opportuni livelli in continua.

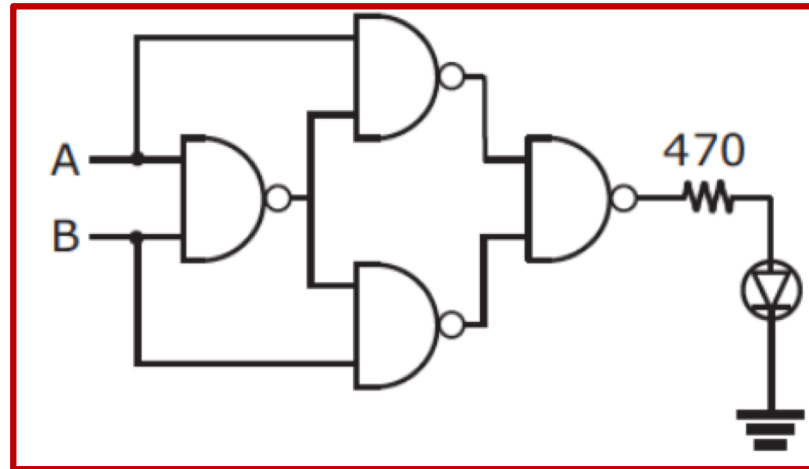
A	B	Q
0	0	0
0	1	1
1	0	1
1	1	0

$$Q = (\bar{A} * B) + (A * \bar{B})$$

Per realizzare gli ingressi (statici) utilizzare dei collegamenti fatti in questo modo:



Interruttore chiuso: In = 0
Interruttore aperto: In = 1



$$Q = \overline{(A \cdot AB)} \cdot \overline{(B \cdot AB)}$$

$$= A \cdot \bar{A} B + B \cdot \bar{B} A = A \cdot (\bar{A} + \bar{B}) + B \cdot (\bar{A} + \bar{B}) = A\bar{A} + A\bar{B} + B\bar{A} + B\bar{B} = A\bar{B} + B\bar{A}$$

Verificate i livelli di uscita anche con il multimetro, non fidatevi solo del LED

Mettete l'ingresso A 0 zero e sull'ingresso B mandate l'uscita TTL del generatore (onda quadra tra 0 V e 5 V) e guardate con l'oscilloscopio l'entrata B e l'uscita Q

Multiplexer a due ingressi (facoltativo)

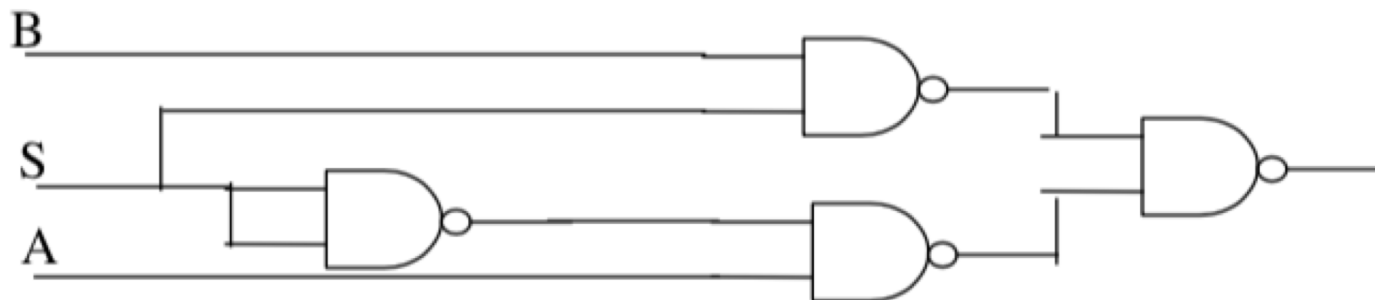
S	A	B	Z
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	0
1	1	1	1

$$Z = \bar{S}A\bar{B} + \bar{S}AB + S\bar{A}B + SAB$$

		B	
		0	1
SA	00	0	0
	01	1	1
	11	0	1
	10	0	1

$$Z = \bar{S}A + SB$$

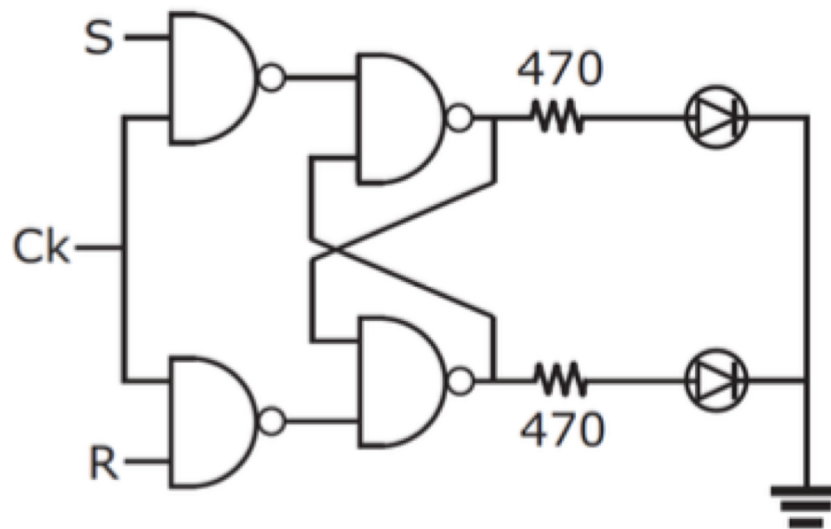
Quando l'ingresso di selezione S è uguale a 0, l'uscita Z è uguale ad A, invece quando l'ingresso di selezione è uguale a 1, l'uscita Z è uguale a B



Mettete S a 0, l'ingresso B 0 zero e sull'ingresso A mandate l'uscita TTL del generatore e guardate con l'oscilloscopio l'entrata A e l'uscita Z. Poi mettete S a 1, l'ingresso A a zero e sull'ingresso B mandate l'uscita TTL del generatore e guardate con l'oscilloscopio B e l'uscita Z

Flip-flop SR

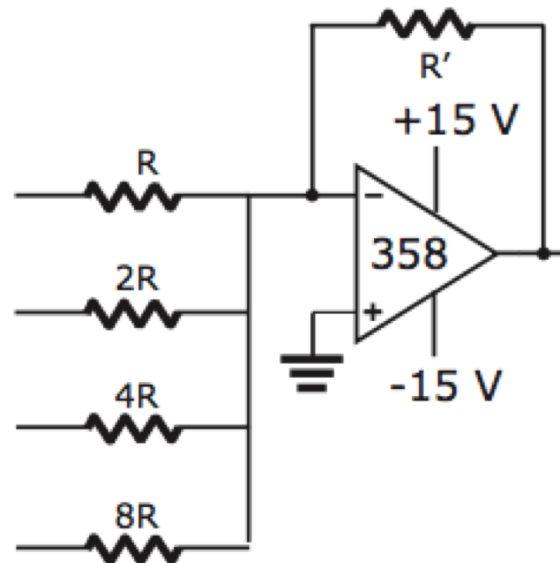
Costruire il circuito in figura 6.4 e verificare la tavola della verità. Per fare ciò conviene collegare gli ingressi al livello logico scelto e poi fornire al circuito un impulso di clock manualmente oppure utilizzando il generatore di funzioni in modalità di impulsatore (ovviamente è necessario fornire impulsi di 5 V su un livello base di 0 V!).



S_n	R_n	Q_{n+1}
0	0	Q_n
1	0	1
0	1	0
1	1	?

Mettete R 0 zero, il clock a 1 e mandate sull'ingresso S l'uscita TTL del generatore e guardate con l'oscilloscopio il segnale S e l'uscita Q.
Poi provate a fare varie combinazioni di S, R e del clock e guardate con l'oscilloscopio cosa ottenete.

DAC a 4 bit



$$R \approx 1 \text{ k}\Omega$$

$$R' \approx 1 \div 1.5 \text{ k}\Omega$$

Costruire un DAC invertente a pesiera, come in figura. La scelta dei valori di R' ed R deve essere effettuata in modo da avere un'uscita compresa nella massima dinamica d'uscita possibile per l'operazionale, tenendo conto che il circuito e' destinato a ricevere agli ingressi livelli logici TTL (0V / +5V). Inoltre i valori delle resistenze devono essere non troppo piccoli, per evitare eccessivi carichi di corrente. Cercate di selezionare i resistori R , $2R$, $4R$ ed $8R$ il piu' possibile vicini ai valori nominali, in modo che la scala dei "pesi" sia ragionevolmente vicina a quella ideale.

Se avete tempo, potete anticipare la costruzione del DAC a 4 bit che serve per l'esercitazione 7. Vedremo in seguito il criterio per scegliere le due resistenze R e R' . Per il momento potete costruire il circuito utilizzando il suggerimento che vi ho dato. In seguito sara' semplice cambiare R' se fosse necessario.



SAPIENZA
UNIVERSITÀ DI ROMA

Fine esercitazione 6