

LSS 2017-18 ADC DAC

Piero Vicini

A.A. 2017-2018

- I segnali reali sono analogici mentre gli elaboratori digitali sono in grado di memorizzare e trattare esclusivamente sequenze di bit.
- Per trattare con tecniche digitali i segnali analogici è allora necessario approssimarli con sequenze di valori numerici espressi in formato binario.
- I sistemi che trasformano un segnale analogico nel corrispondente digitale sono detti *convertitori analogico-digitali* (**ADC** i.e. Analog to Digital Converter)
- I sistemi che trasformano un segnale digitale in un segnale analogico, sono detti *convertitori digitali-analogici* (**DAC** i.e. Digital to Analog Converter).
- I principi di base che sovrintendono detto processo di conversione sono:
 - Operazioni di campionamento (ADC)
 - Operazioni di quantizzazione. (DAC)

- La conversione digitale-analogica (*DAC, Digital to Analog Conversion*) permette di costruire una tensione V (o una corrente I) proporzionale ad un numero (binario), A , dato.

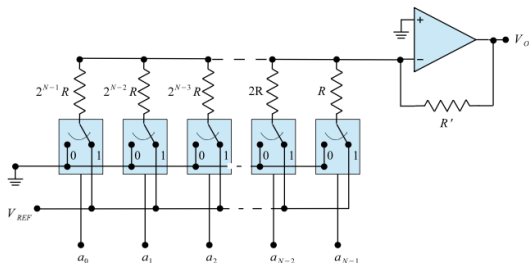
$$V = K \sum_0^{n-1} 2^i a_i$$

- dove a_i e' il valore (0 o 1) del bit di peso i e K e' una costante (tensione).
Di conseguenza

$$V_{min} = 0 \text{ e } V_{max} = K(2^n - 1)$$

- Parametri di un DAC reale:
 - *risoluzione*: la minima variazione possibile della tensione di uscita
 - *offset*: uscita $\neq 0$ quando ingresso = 0;
 - *errore di guadagno*: la differenza tra il valore massimo teorico e quello reale;
 - *errore di linearità*: la differenza tra la caratteristica di trasferimento ideale e quella reale;
 - *tempo di assestamento*: tempo impiegato per il completamento della conversione.

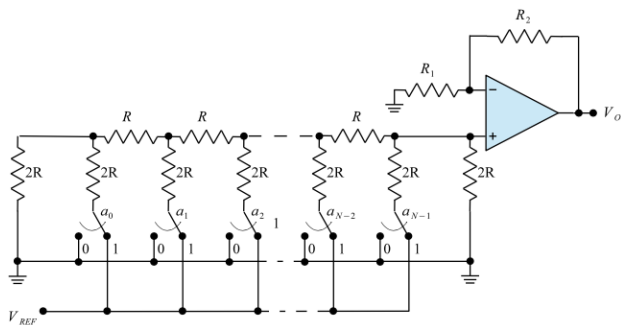
- DAC a pesiera e' basato sul Sommatore Analogico
- La *dinamica* e' dipendente dal rapporto $-\frac{R'}{R}$ mentre la *risoluzione* e' legata al numero di rami N



$$V_o = -\frac{R'}{R} V_{REF} \left(a_{N-1} + \frac{a_{N-2}}{2} + \dots + \frac{a_0}{2^{N-1}} \right)$$

- Problemi:
 - Linearita': legata alla precisione con cui sono scalati i valori delle resistenze
 - Al crescere della risoluzione il valore di R_N cresce esponenzialmente. Es: se $N = 12 \rightarrow R_{12} = 4096 * R \dots$

- Vantaggio: tutte le resistenze hanno valore R o 2R...



$$V_o = -\frac{R_1 + R_2}{R_1} V_i$$

$$V_i = \frac{V_{REF}}{3} \left(a_{N-1} + \frac{a_{N-2}}{2} + \dots + \frac{a_0}{2^{N-1}} \right)$$

DAC R-2R (2)

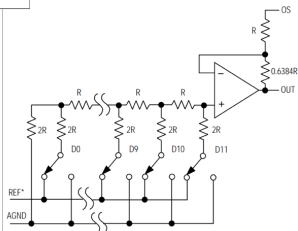
- Es: MAX 5120 (0,+4V)

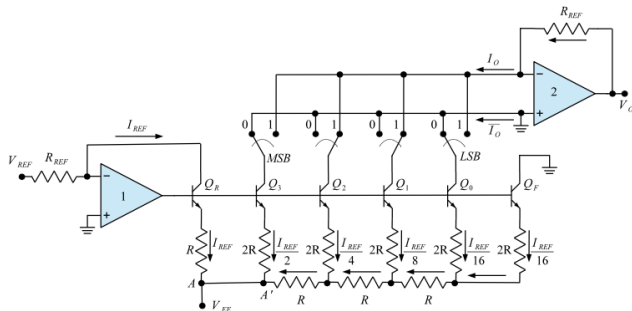
PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
STATIC PERFORMANCE						
Resolution	N		12			Bits
Integral Nonlinearity (Note 1)	INL	MAX5120A	-0.5	0.5		LSB
		MAX5120B	-1	1		LSB
Differential Nonlinearity	DNL		-1	1		LSB
Offset Error (Note 2)	V _{OS}		-10	10		mV
Gain Error	GE		-3	-0.2	3	mV
Full-Scale Voltage	V _{FS}	Code = FFF hex, T _A = +25°C	4.0458	4.095	4.1442	V
Full-Scale Temperature Coefficient (Note 3)	TCV _{FS}	MAX5120A		3	10	ppm/°C
		MAX5120B		10	30	ppm/°C
Power-Supply Rejection Ratio	PSRR	4.5V ≤ V _{DD} ≤ 5.5V		20	250	μV/V
DYNAMIC PERFORMANCE						
Voltage Output Slew Rate	SR			0.6		V/μs
Output Settling Time		To ±0.5LSB, V _{STEP} = 4V		20		μs
Output Voltage Swing (Note 4)				0 to V _{DD}		V
OS Input Resistance	R _{OS}		83	121		kΩ
Time Required to Exit Shutdown				2		ms
Digital Feedthrough		C _S = V _{DD} , f _{SCLK} = 100kHz, V _{SCLK} = 5Vp-p		5		nV-s

Tipo R-2R

$$K = \frac{V_{Max}}{(2^{12}-1)} = 4/4095 = 0.97\text{mV per singolo step}$$

Setting time ~ 20μs





- Le correnti nei partitori R-2R definiscono le I_E (e quindi la I_C) dei vari Q_n
- I_0 è la somma delle correnti di collettore del transistor connessi
- il transistor e' connesso o meno in base al valore del bit di riferimento (a_n)

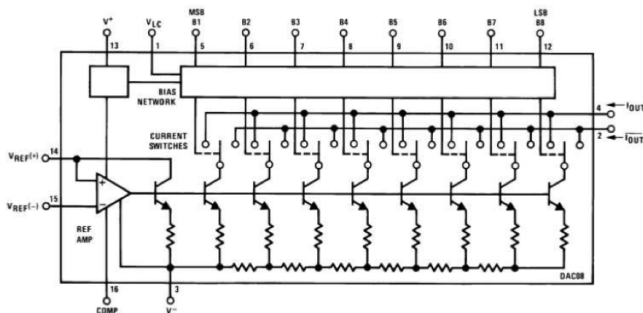
$$V_0 = R_{REF} I_0 = V_{REF} \left(\frac{a_{N-1}}{2} + \frac{a_{N-2}}{4} + \dots + \frac{a_0}{2^N} \right)$$

- Migliore *setting time* e maggiore velocità'

DAC a somma correnti (2)

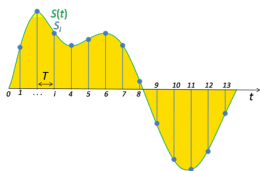
Es: DAC800, tra i piu' diffusi...

- output in corrente e necessita di stadio di conversione (come op-amp nella slide precedente)
- Setting time di solo 100 nS rispetto ai $20\mu\text{ S}$ del 5120



Parameter	Test Conditions	DAC0802LC			DAC0800LC			Units
		Min	Typ	Max	Min	Typ	Max	
Resolution		8	8	8	8	8	8	Bits
Monotonicity		8	8	8	8	8	8	Bits
Nonlinearity				± 0.1			± 0.19	%FS
t_s	Settling Time	To $\pm 1/2$ LSB, All Bits Switched "ON" or "OFF", $T_A=25^\circ\text{C}$						
		DAC0800L				100	135	ns
		DAC0800LC				100	150	ns
t_{pLH} t_{pHL}	Propagation Delay Each Bit	$T_A=25^\circ\text{C}$		35	60	35	60	ns

La conversione analogico-digitale (*ADC, Analog to Digital Conversion*) converte una grandezza elettrica continua (tipicamente una tensione, V) in un numero (binario) ad essa proporzionale.



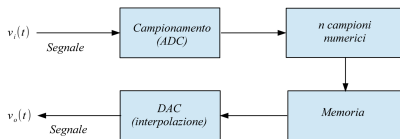
Operazione di *campionamento* trasforma un segnale continuo variabile nel tempo in una sequenza di numeri decimali ottenuti misurando il valore del segnale ad intervalli di tempo fissati (T) e con precisione dipendente dal numero di bit del convertitore

● Parametri di un ADC reale:

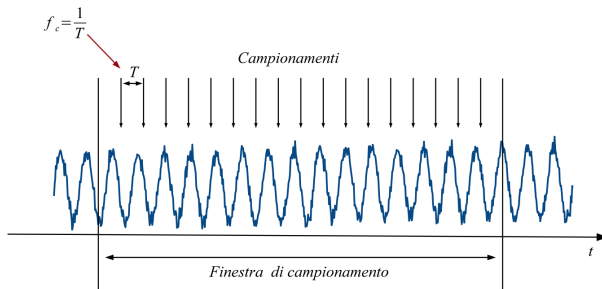
- *risoluzione*: numero di valori discreti prodotti (ADC con risoluzione a 8bit \rightarrow 256 numeri)
- *intervallo di conversione*: range di tensione convertibile in numero
- *tempo di conversione*: tempo impiegato dal dispositivo per generare la risposta in uscita
- *errore di quantizzazione*: dipendente dalla risoluzione del dispositivo;
- *errore di linearità*: la differenza tra la caratteristica di trasferimento ideale e quella reale;
- *velocità di campionamento*

Conversione Analogico-Digitale: campionamento

- Uso tipico di ADC e DAC per analisi di segnali continui (e variabili nel tempo)



- Il segnale viene *campionato* e *digitalizzato* (convertito) per una durata di tempo finita (*finestra di campionamento*) ad intervalli di tempo regolari (i.e. ad una data frequenza di campionamento, f_c)



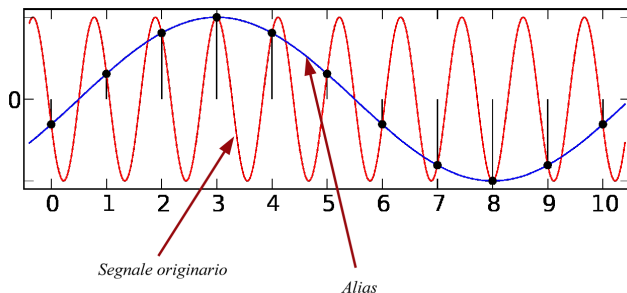
Conversione Analogico-Digitale: campionamento(2)

- La frequenza di campionamento necessaria per NON perdere informazioni e' legata allo spettro di frequenza del segnale d'ingresso secondo il *teorema di Nyquist-Shannon*

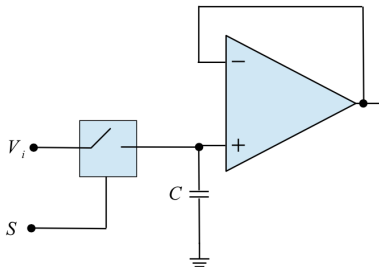
$$f_s^{MAX} \leq f_N = f_c/2$$

dove f_s^{MAX} e' la massima frequenza contenuta nello spettro del segnale da campionare, f_N e' la frequenza di Nyquist pari alla meta' della frequenza di campionamento.

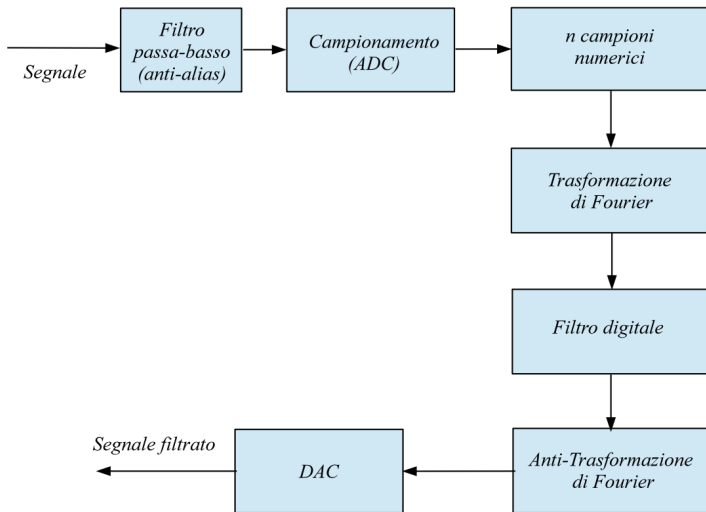
- Nel caso $f_s^{MAX} > f_N$ si ha fenomeno di *aliasing*



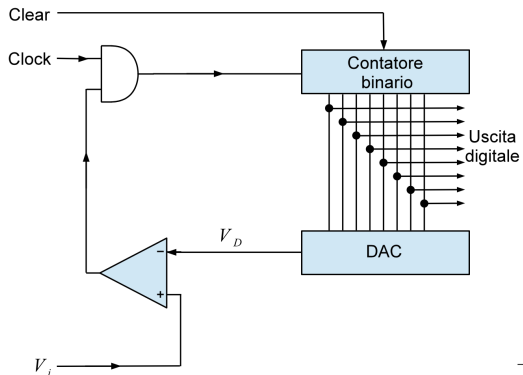
- Evitare aliasing:
 - Introduco un filtro passa-basso con una f_T adeguata per eliminare tutte le frequenze superiori a f_N .
 - Attenzione: perdo informazione sulla struttura originale del segnale convertito
- Stabilizzare il segnale d'ingresso per tutto il tempo di conversione del dispositivo:
 - circuito *Sample and Hold* dove la capacita' viene caricata al valore della tensione d'ingresso e la frequenza di S e' f_c



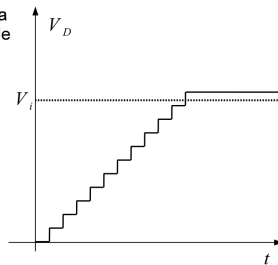
Conversione Analogico-Digitale: filtraggio digitale



Esempi: ADC a conteggio

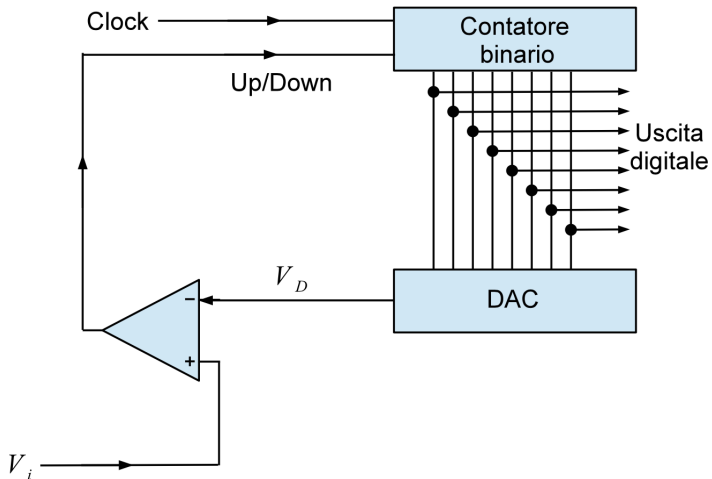


(a)

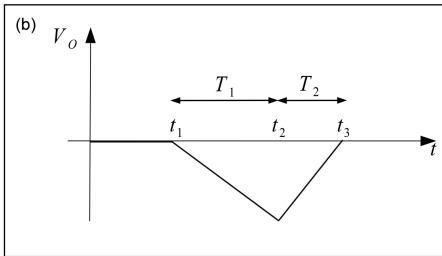
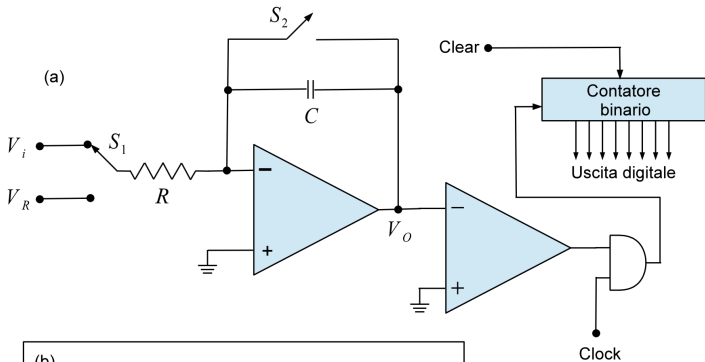


(b)

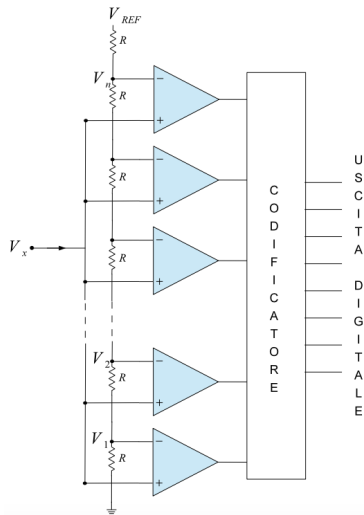
Esempi: Tracking ADC



Esempi: ADC a doppia rampa



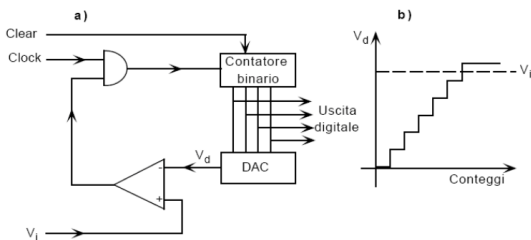
- il segnale V_x , viene inviato simultaneamente ad n comparatori con soglie equispaziate, V_1, V_2, \dots, V_n .
- Tutti i comparatori la cui soglia $V_i < V_x$ scattano (gli altri no) e le uscite aggregate forniscono l'equivalente di una sequenza binaria di n cifre di tipo 1111...10000
- Il punto di transizione tra 1 e 0 individua (per difetto) il valore di tensione desiderato tradotto in un numero binario da un encoder
- Problema: sono costosi e complessi
 - il numero complessivo di comparatori è pari a $2^{n_{bit}}$ (pari a 4096 se risoluzione e' 12 bit...)
- Ma per costruzione sono i piu' veloci (legati al tempo di codifica) \rightarrow 12-14 bit @5GSamples/s



Esperienza 6: Conversione digitale-analogica

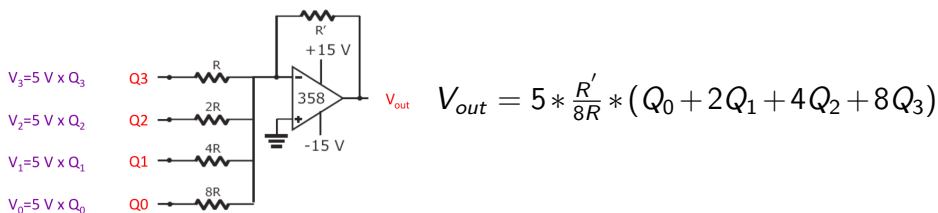
Esperienza 6: ADC

- Costruiremo un ADC per realizzare una conversione *digitale-analogica*



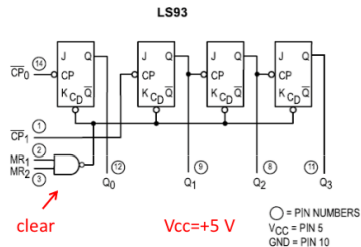
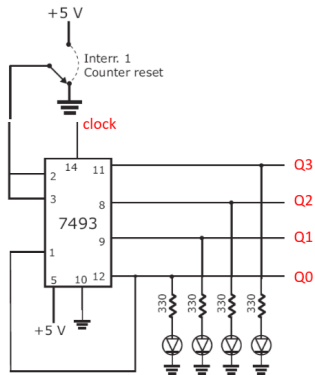
- Il circuito e' realizzato con una serie di blocchi circuitali appositamente connessi:
 - DAC (*Digital to Analog Converter*) a pesiera
 - Contatore a 4 bit per pilotare il DAC
 - Comparatore tensione d'ingresso incognita $V_x < 0$
- Data la complessita' del circuito si raccomanda un montaggio incrementale
 - 1 DAC
 - 2 Contatore + generatore del segnale di clock
 - 3 Comparatore + adattatore di livello
 - 4 Circuito completo

- DAC a *pesiera* realizzato con un sommatore analogico ed una scala opportuna di resistenze



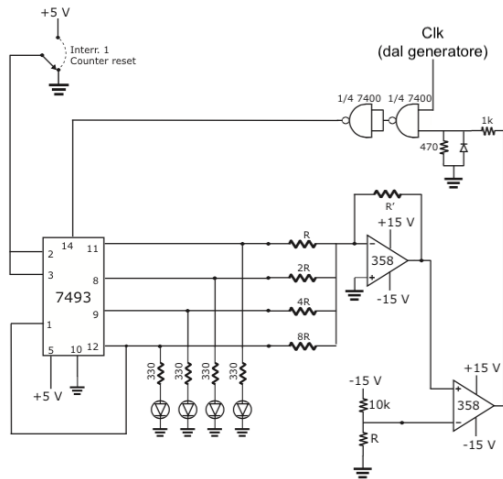
- L'ampiezza del singolo gradino: $V_{out} = 5 * \frac{R'}{8R}$
- Per evitare la saturazione bisogna scegliere correttamente le resistenze tenendo conto che la dinamica massima e' 15 V
 $\implies V_{out}^{max} = 5 * \frac{R'}{8R} * 15 < 15$

Esperienza 6: contatore



- Generare il clock con singoli impulsi e misurare la tensione corrispondente allo zero logico e uno logico per ogni uscita
- Verificare il funzionamento complessivo con un clock a bassa frequenza

Esperienza 6: ADC completo



- Calibrare il circuito, misurando e discutendo la linearita' del circuito
- Verificarne il funzionamento con alcuni valori di tensione V_x