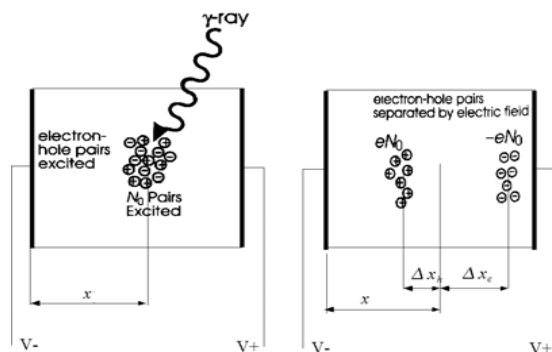


## Pixels

Un fotone assorbito da un materiale semiconduttore lascia una nuvola di coppie elettroni-buchi.



Una particella ionizzante che attraversa un materiale semiconduttore lascia una traccia di coppie elettroni-buchi: al minimo di ionizzazione in Si ci sono 80 e<sup>-</sup>/mm.

PGI 2006 lect\_3 1

Un campo elettrico applicato al semiconduttore

- ne condiziona lo stato, secondo la composizione e la purezza del materiale e secondo la polarità e l'intensità del campo (*depletion*);
- provoca un movimento degli elettroni e dei "buchi" lungo le linee di campo, se  $\vec{E} \parallel \vec{B}$ , a velocità comparabili.

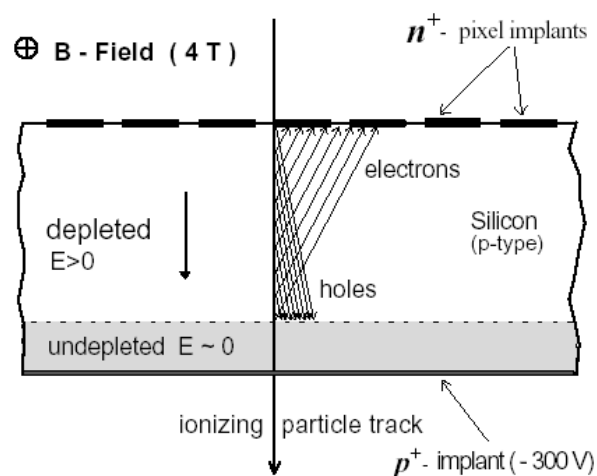
A campi elettrici elevati, superiori a 10<sup>3</sup> V/cm, la velocità di *drift* satura intorno a 10<sup>7</sup> cm/s<sup>-1</sup>, tanto per gli elettroni quanto per i buchi.

Tanto la raccolta delle cariche sulle facce (conduttrici) del semiconduttore quanto il movimento delle cariche stesse contribuiscono alla formazione degli impulsi, con tempi di salita tipicamente di 10 ns..

In particolare se la superficie è segmentata (*pixels*) si ottiene una proiezione del segmento di traccia sul piano delle *pixels* stesse. Il segnale si ripartisce su gruppi di *pixels* adiacenti (*clusters*)

PGI 2006 lect\_3 2

## Angolo di Lorentz



PGI 2006 lect\_3 3

*Pixels* costituite da un uno strato di rivelatore e da uno strato separato di materiale semiconduttore che contiene l'elettronica di lettura (*hybrid pixels*) sono la soluzione più frequente (adottata dagli esperimenti LHC).

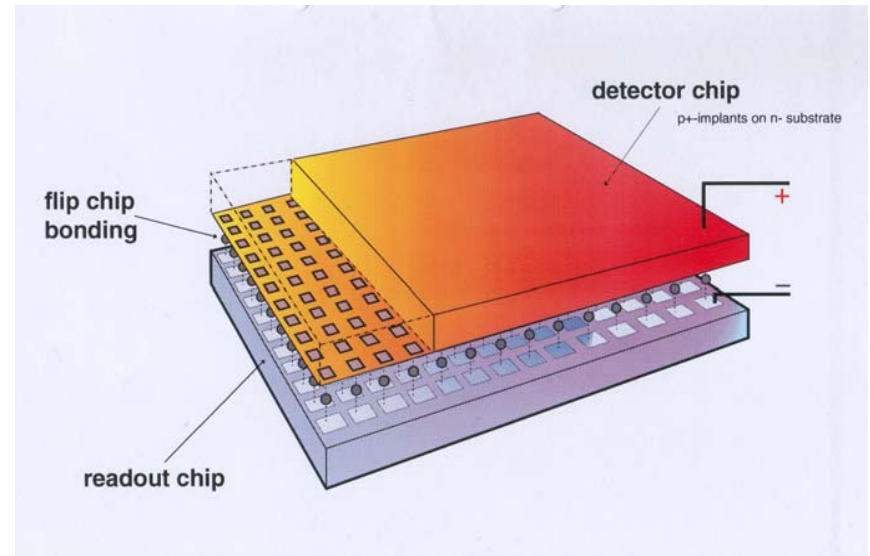
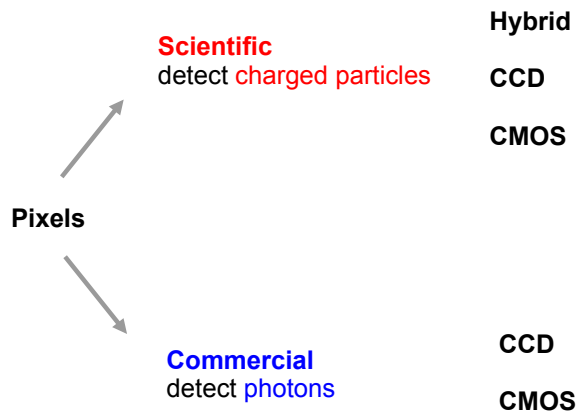
Soluzioni in cui il rivelatore e l'elettronica di lettura coesistono sullo stesso semiconduttore sono possibili, come nel caso di *pixels con lettura CCD* ovvero *pixels con lettura CMOS*.

In generale queste soluzioni *monolitiche* sono più *sottili* e permettono *pixels* più piccole e, nel caso dei CCD, possono fornire più facilmente informazioni sull'ampiezza di impulso.

Sono tuttavia meno soddisfacenti rispetto a

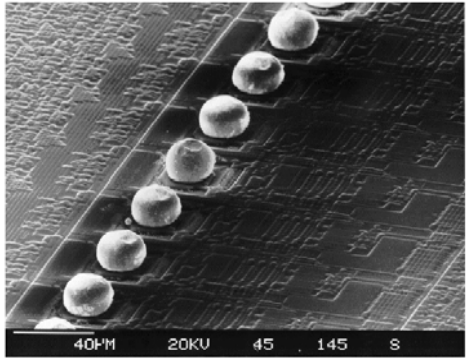
- velocità di lettura (per i CCD)
- tempo di formazione del segnale (per *pixels CMOS*)
- resistenza alle alte dosi di radiazione, che provocano variazioni delle caratteristiche del substrato e cambiano il comportamento dei componenti elettronici
- complicazioni di montaggio, se necessario lavorare a bassa temperatura.

PGI 2006 lect\_3 4



E' possibile realizzare l'elettronica per la lettura di un canale in dimensioni uguali a una *pixel* (100  $\mu\text{m}$  x 100  $\mu\text{m}$ ): si costruisce (*bump bonding*) un *sandwich* che comprende rivelatore e circuito di lettura. Lo spessore del *sandwich* è dell'ordine di 0.5  $\text{mm}$  di Si. Le dimensioni del *sandwich* sono determinate dalla tecnologia, dell'ordine di 1  $\text{cm}^2$

La lettura del sandwich si fa in modo digitale, a soglia. L'architettura di un canale ricalca i principi della lettura di una camera a fili.

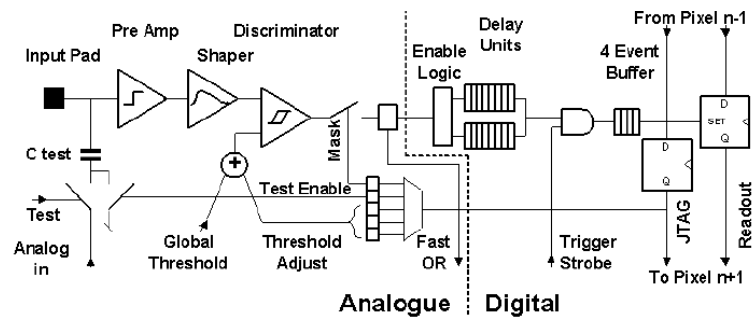


- Le condizioni di invecchiamento dei semiconduttori tanto del rivelatore quanto del circuito di lettura sotto azione delle radiazioni impongono criteri di progetto molto tolleranti e possibilità di correggere gli effetti dei cambiamenti di caratteristiche
- Il numero di pixels nel rivelatore può raggiungere  $10^8$ : spazio, prezzo, dissipazione richiedono l'uso di circuiti relativamente semplici accoppiato alla possibilità di calibrazione e di correzione dei parametri.
- Poche *pixels* sono occupate in un evento: la lettura deve essere multiplexata, all'interno di un *chip* e associando molti *chips*, con soppressione degli zeri.

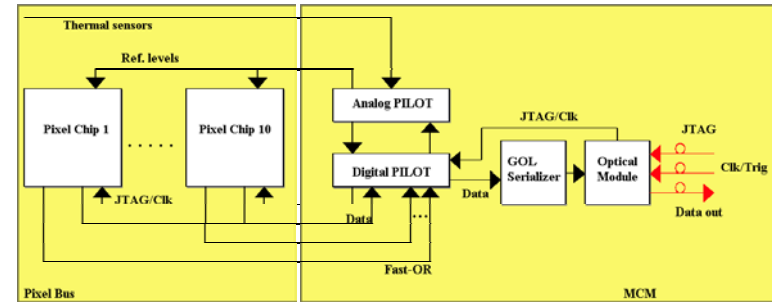
Il tempo di salita del preamplificatore può essere dell'ordine di 20 ns, grazie al tempo di salita rapido del segnale del rivelatore ed alla piccola capacità di ingresso, tipicamente 5fF.

Il ritardo è costruito mettendo in serie i ritardi di una catena di circuiti attivi: quindi è *pipelined* con una granularità compatibile col *pileup* nel discriminatore.

### Schematic diagram of the Alice1 cell



### Schema di lettura pixels di Alice



**The Alice1 Chip Layout**

- 32 columns
- 256 rows
- 8 192 pixels/chip
- ~13 000 000 transistors/chip
- 13.5 mm width
- 15.8 mm height
- 50 μm pitch
- 450 μm width

Peter Chochula CERN-Alice Quark Matter 2002 Nantes

### Caratteristiche del chip ALICE1

- 8192 *pixels* in 2.1 cm<sup>2</sup>
- Tecnologia CMOS 0.25μm
- *Radiation-tolerant layout*
- Segnali analogici e digitali sullo stesso *chip*
- Rumore : 110 elettroni rms
- Soglia: 1000 elettroni rms
- Consumo: ~900mW

## CCD

Nati come memoria analogica:

W. S. Boyle, G. E. Smith, Bell Syst. Tech. J. 49, 587 (1970)

*In this paper we describe a new semiconductor device concept. Basically, it consists of storing charge in potential wells created at the surface of a semiconductor and moving the charge (representing information) over the surface by moving the potential minima. We discuss schemes for creating, transferring, and detecting the presence or absence of the charge.*

*In particular, we consider minority carrier charge storage at the Si-SiO<sub>2</sub> interface of a MOS capacitor. This charge may be transferred to a closely adjacent capacitor on the same substrate by appropriate manipulation of electrode potentials. Examples of possible applications are as a shift register, as an imaging device, as a display device, and in performing logic.*

**CCD commerciali** rivelano **fotoni** in fotografia, televisione etc

**CCD scientifici** rivelano **particelle cariche** in HEP

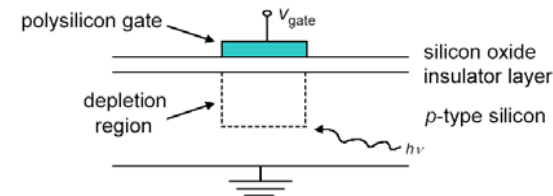
es. rivelatore di vertice all'SLC

PGI 2006 lect\_3 13

## CCD: raccolta della carica

L'elemento essenziale di un CCD è un condensatore MOS (Metal-Oxide Semiconductor).

Una tensione applicata all'elettrodo di controllo (*gate*) respinge i buchi (*holes*) e crea una regione svuotata (*depleted*)



Un fotone che interagisce col silicio crea una coppia elettrone-buco: l'elettrone è assorbito nella regione svuotata (pozzo, *potential well*).

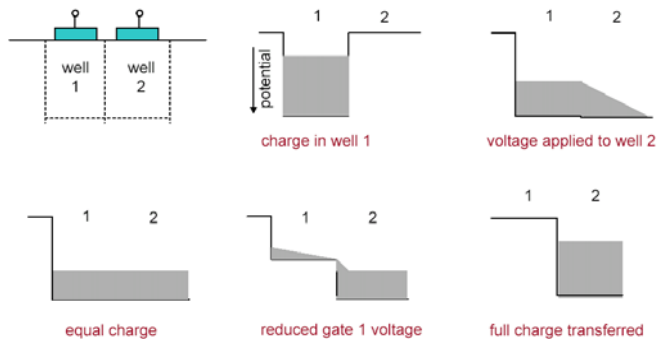
La capacità del pozzo (numero di elettroni che può contenere) dipende dalla superficie del *gate*, dalla tensione applicata e dallo spessore dello strato di ossido di silicio (condensatore).

PGI 2006 lect\_3 14

## CCD: trasferimento della carica

Un potenziale a distribuzione spaziale periodica alla superficie del semiconduttore mantiene la carica in ciascuno dei pozzi.

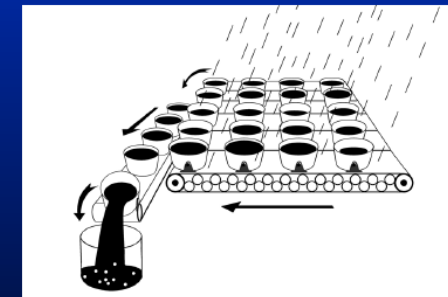
Modificando momentaneamente il potenziale con un impulso si travasano le cariche da un pozzo al suo vicino. (*shift register* analogico)



from G. C. Holst, CCD Arrays, Cameras, and Displays, SPIE 2001

PGI 2006 lect\_3 15

## Basic CCD Theory



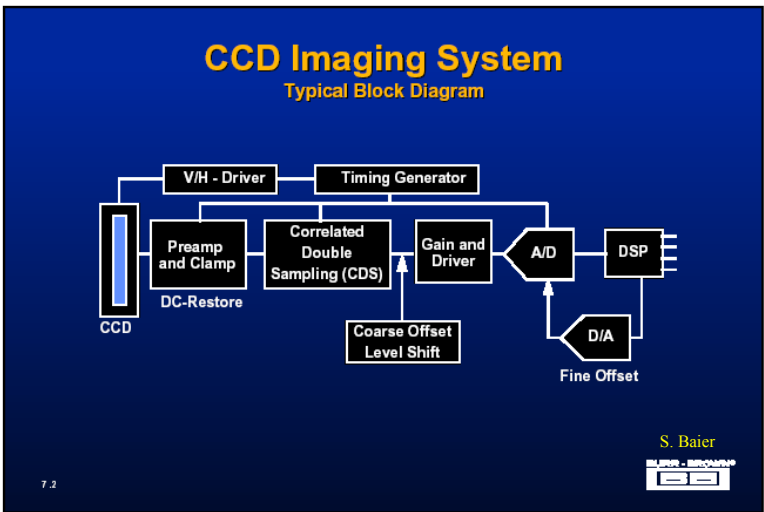
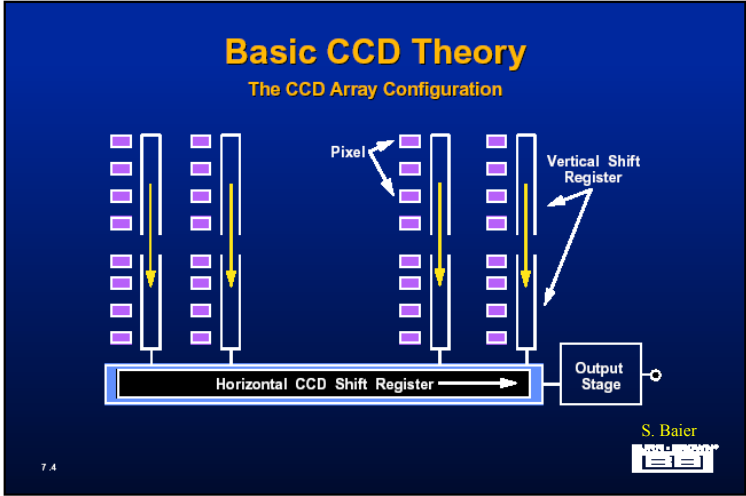
- Raindrops = Photons
- Buckets = Pixel

- Conveyor Belts = CCD Shift Register
- Metering Glass = Sense Capacitor

S. Baier

7.3

PGI 2006 lect\_3 16

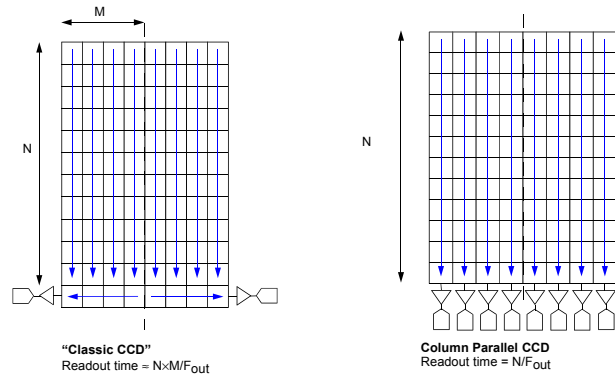


<b>CCD Principles</b>	<b>CCD Vertex Detectors</b>
<p>CCDs were invented more than 30 years ago: W.S. Boyle, G.E. Smith, Bell Syst. Tech. J. 49, 587 (1970)</p> <p>Their use as particle detectors was first proposed more than 20 years ago: C.J.S. Damerell et al., Nucl. Inst. and Meth. 185, 33 (1981)</p> <p>The most advantageous feature of the CCD for particle detection is the highly segmented pixel structure (<math>20\ \mu\text{m} \times 20\ \mu\text{m} \times 20\ \mu\text{m}</math>) when charge sharing between pixels is used to optimize position resolution, better than <math>4\ \mu\text{m}</math> resolution has been achieved in a <u>large system</u> (307,000,000 pixels) <u>operating for years</u></p> <p>The most limiting feature is the relatively slow readout speed: eg. about 100 msec is required to read out a large detector (<u>Linear Collider</u> well matched to this speed. Note: &gt; 1000x faster readout is under development)</p>	

<b>CCD Charge Collection</b>	<b>CCD Vertex Detectors</b>
<p>Charge collection principles</p> <p><math>n^+</math> on p-type substrate (usually)</p> <p>lightly doped epitaxial p layer heavily doped <math>p^+</math> substrate top <math>\sim 1\ \mu\text{m}</math> of p layer doped by ion implantation (<math>n^+</math>)</p> <p>depletion region (<math>\sim 5\ \mu\text{m}</math>) charge drifts directly charge in undepleted p region diffuses, and reflects from <math>p/p^+</math> edge, eventually collected</p>	

The diagram shows a cross-section of a CCD structure. From top to bottom, it consists of an 'n layer', a 'Depletion edge', a 'p(Epi)' layer, a 'p/p+(edge)' layer, and a 'p+(bulk)' substrate. A 'Particle trajectory' is shown as a dashed line with an arrow, starting from the right side and moving towards the depletion region. A vertical dimension of  $\sim 20\ \mu\text{m}$  active is indicated on the right side.

### CCD signal storage and sensing:



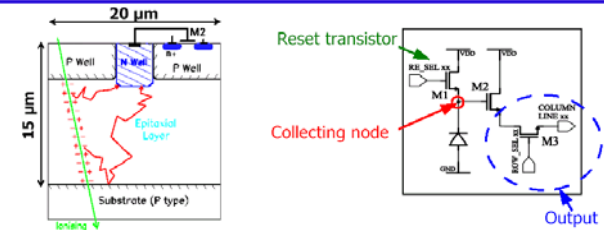
Jan 13 2004

C. Damerell LC technologies LBL

22

PGI 2006 lect\_3 21

### CMOS sensors for the VXD at the ILC



- ...also known as **Monolithic Active Pixel Sensors (MAPS)**
- **CMOS process with epitaxial layer** (large scale availability)
- Pixel pitch  $\sim 20 \mu\text{m}$ . **Position resolution** proved down to  $\sim 1.5 \mu\text{m}$
- Charge collection by **thermal diffusion** (collection times  $< 100 \text{ nsec}$ )
- **Integration of read-out electronics** on the same sensor substrate
- **Thinning** possible down to epilayer (low material budget)

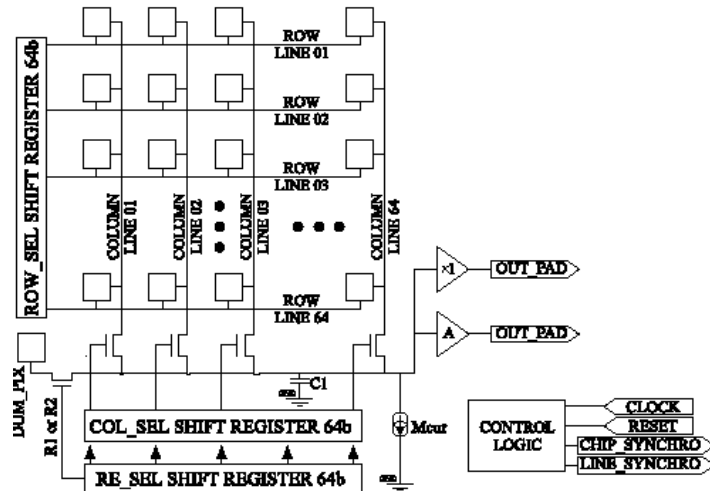


Devis Contarato, Beam-test of CMOS sensors with 6 GeV electrons at DESY

LCWS 05  
Stanford, 18-22 March 2005

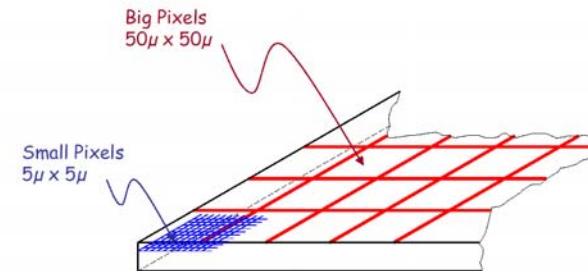


PGI 2006 lect\_3 22



PGI 2006 lect\_3 23

### Monolithic CMOS Pixel Detectors



Two active particle sensitive layers:

- Big Pixels - High Speed Array - Hit trigger, time of hit
- Small Pixels - High Resolution Array - Precise x,y position, intensity

3/19/05

C. Baltay, LCWS 05

PGI 2006 lect\_3 24



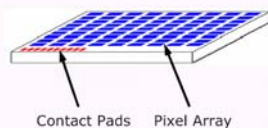
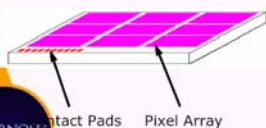
## Array Designs

### High-speed arrays

- Designed for quick response.
  - Threshold detection only.
  - Large pixels ( $\sim 50 \times 50 \mu\text{m}$ ).
- Transmits X,Y location and time stamp of impact.

### High-resolution arrays

- Designed for resolution and querying.
  - Smaller pixel size ( $\sim 5 \times 5 \mu\text{m}$ ).
  - Random access addressability.
  - Records intensity.
- Provides intensity information only for pixel region queried.



INNOVATION PARTNER

PGI 2006 lect\_3 25

## Referenze Pixels

- G. F. Knoll, Radiation Detection and Measurements, 3<sup>rd</sup> ed., Wiley 2000
- CMS - The Tracker Project Technical Design Report, CERN/LHCC 98-6, Chapter 2  
[http://cmsdoc.cern.ch/ftp/TDR/TRACKER/final/chapters/tdr\\_ch2.pdf](http://cmsdoc.cern.ch/ftp/TDR/TRACKER/final/chapters/tdr_ch2.pdf)
- ALICE - Inner Tracking System Technical Design Report (ITS), CERN-LHCC 99-12  
<https://edms.cern.ch/file/398932/1/TDR.pdf>
- S. Baier, CCD Imaging Systems, Burr Brown Corp.,  
<http://www.web-ee.com/primers/files/DesignSem7.pdf>
- J. Brau, CCD Vertex Detectors, Snowmass 2001  
<http://physics.uoregon.edu/~jimbrau/LC/ccd-tutorial.PDF>
- D. Contarato, Beam-test of CMOS sensors with 6 GeV electrons at DESY,  
[http://www.linearcollider.ca/lcws05/h/LCWS05\\_VTX\\_contarato.pdf](http://www.linearcollider.ca/lcws05/h/LCWS05_VTX_contarato.pdf)
- C Baltay, Monolithic CMOS Pixel Detectors for ILC Vertex Detection,  
[http://www.linearcollider.ca/lcws05/h/LCWS05\\_VTX\\_Baltay.pdf](http://www.linearcollider.ca/lcws05/h/LCWS05_VTX_Baltay.pdf)

PGI 2006 lect\_3 26

## Commenti su **VLSI**

### Very Large Scale Integration

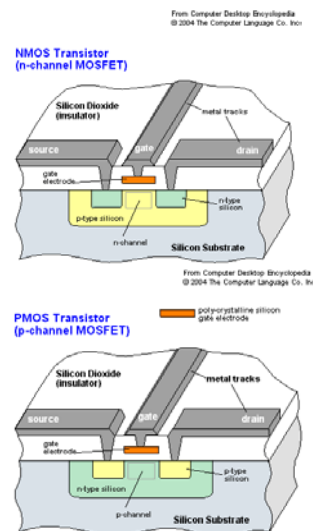
Essenziale per gli **ASICs** (*Application Specific Integrated Circuits*) dei rivelatori di particelle.

#### • Tecnologia e Processo

per esempio **CMOS** *Complementary Metal Oxide Semiconductor*  
**Bipolar**  
**SoI** *Silicon on Insulator* etc.

- Feature size:** oggi in HEP 0.25 mm  
 nel 2006 sul mercato 0.065 mm
- Wafer:** da 6 a 10 pollici
- Materiale:** (Ge), Si, GaAs, CdTe etc.

PGI 2006 lect\_3 27

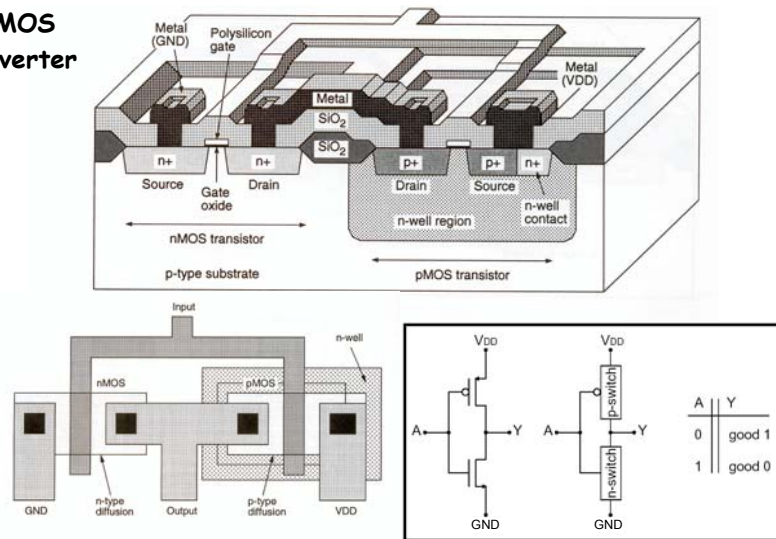


## NMOS e PMOS Field Effect Transistors (FET) in un chip

Quando si applica una tensione all'elettrodo di controllo (*gate*), il campo elettrico nel "canale" sottostante permette la conduzione tra sorgente (*source*) e drenaggio (*drain*)

PGI 2006 lect\_3 28

## CMOS inverter



PGI 2006 lect\_3 29

- **Numero di strati** e loro caratteristiche: metallo, ossido, polisilicio etc.

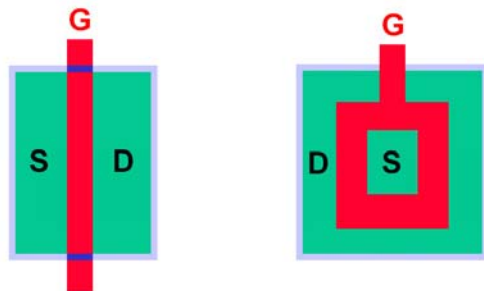
- **Drogaggio**

- **Design rules** sono tipiche del processo e definiscono le "strutture" di base possono permettere effetti speciali, come *enclosed layout transistor (ELT)* per migliorare la tenuta alle radiazioni sono confidenziali o (semi-)pubbliche

- **CAD** deve accettare le *design rules* e produrre un file compatibile colla fonderia (*founry*)

PGI 2006 lect\_3 30

## Enclosed Layout Transistor (ELT)



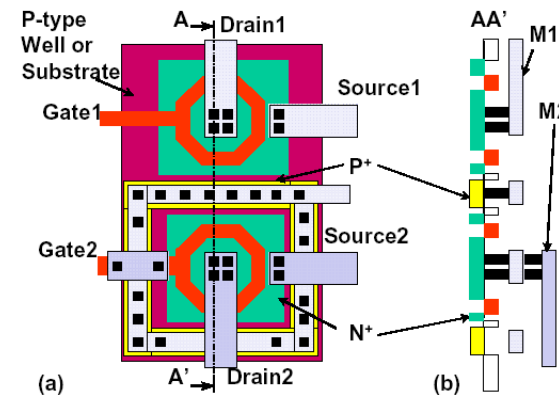
ELTs solve the leakage problem in the NMOS transistors  
At the circuit level, guard rings are necessary

BNL, 21 April 2004

Giovanni Anelli

28

PGI 2006 lect\_3 31



W. Snoeys, CERN

PGI 2006 lect\_3 32



- **Prototipi** *multiproject* se ci si può associare con altri clienti per un *run*  
altrimenti si deve pagare un *run* da soli ~ 100 k\$
- *Test structures* sono aggiunte su ogni *wafer* per verificarne la qualità
- **Trasferimento tra fabbricanti** (*foundries*): in generale problematico.  
  
esempio: importare un ADC disegnato e venduto dal fabbricante A su un *chip* che sarà prodotto dalla fonderia B
- **Durata di vita** qualche anno, dipende dal mercato

## Referenze VLSI

Per tecniche di progetto e verifica usate nei circuiti per la fisica delle particelle, vedere le lezioni di P. **Moreira**, J. **Christiansen**, G. **Anelli** e A. **Marchioro** in:  
- ELEC 2005, Electronics in High Energy Physics, Spring Term:  
<http://humanresources.web.cern.ch/humanresources/external/training/tech/special/ELEC2005.asp#Winter>

Per circuiti resistenti alle radiazioni:  
- M. Manghisoni, Processi CMOS submicrometrici, resistenza alle radiazioni, INFN-Pavia, Ott. 2004  
[http://www.pv.infn.it/~cecco/inf/inf/corel/RESIS\\_RADIAZIONE.PDF](http://www.pv.infn.it/~cecco/inf/inf/corel/RESIS_RADIAZIONE.PDF)  
- F.Faccio, Radiation Effects in Electronics Devices and Circuits in ELEC 2005, Electronics in High Energy Physics  
<http://humanresources.web.cern.ch/humanresources/external/training/tech/special/ELEC2005.asp#Winter>